

0350409

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月 6日

出 願 番 号

Application Number:

特願2002-322094

[ST.10/C]:

[JP2002-322094]

出 願 人

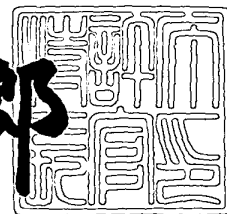
Applicant(s):

株式会社東芝

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3021542

【書類名】 特許願

【整理番号】 APB0261151

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8238

【発明の名称】 絶縁ゲート型電界効果トランジスタを含む半導体装置及びその製造方法

【請求項の数】 24

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 松尾 浩司

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083161

 【弁理士】

 【氏名又は名称】 外川 英明

 【電話番号】 (03)3457-2512

【手数料の表示】

 【予納台帳番号】 010261

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁ゲート型電界効果トランジスタを含む半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基体と、

前記半導体基体に設けられ第 1 及び第 2 の素子領域を囲む素子分離領域と、

前記第 1 の素子領域に形成されると共に、少なくともゲート電極膜におけるゲート絶縁膜に接する領域が、第 1 の金属シリサイドで構成された N チャネル電界効果トランジスタと、

前記第 2 の素子領域に形成されると共に、ゲート電極膜が、前記第 1 の金属シリサイドを構成する金属とは異なる金属からなる第 2 の金属シリサイドと、前記第 1 の金属シリサイドの構成材料である金属及び前記第 1 の金属シリサイドと同じ構成材料であり、かつ、前記第 1 の金属シリサイドよりもシリコン含有量が少ない第 3 の金属シリサイドから選ばれる少なくとも一方とから構成された P チャネル電界効果トランジスタを有し、

前記 N チャネル電界効果トランジスタのゲート電極膜の仕事関数が、前記 P チャネル電界効果トランジスタのゲート電極膜の仕事関数よりも小さいことを特徴とする絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 2】 前記 P チャネル電界効果トランジスタのゲート電極膜におけるゲート絶縁膜に接する領域が、前記第 1 の金属シリサイドを構成する金属とは異なる金属からなる第 2 の金属シリサイドと、前記第 1 の金属シリサイドの構成材料である金属及び前記第 1 の金属シリサイドと同じ構成材料であり、かつ、前記第 1 の金属シリサイドよりもシリコン含有量が少ない第 3 の金属シリサイドから選ばれる少なくとも一方とから構成されていることを特徴とする請求項 1 に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 3】 前記 P チャネル電界効果トランジスタのゲート電極膜におけるゲート絶縁膜に接する領域が、前記第 1 の金属シリサイドの構成材料である金属、及び前記第 1 の金属シリサイドと同じ構成材料であり、かつ、前記第 1 の金属シリサイドよりもシリコン含有量が少ない第 3 の金属シリサイドから選ばれる少な

くとも一方とから構成されていることを特徴とする請求項 1 に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 4】 前記第 1 の金属シリサイドを構成するシリコンと金属の組成比として、単位体積当りの前記シリコンの原子数が、単位体積当りの前記金属の原子数の 2.5 倍以上であることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 5】 前記第 3 の金属シリサイドを構成するシリコンと金属の組成比として、単位体積当りの前記シリコンの原子数が、単位体積当りの前記金属の原子数以下であることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 6】 前記第 1 の金属シリサイドはタングステンシリサイドであることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 7】 前記第 2 の金属シリサイドは、白金、パラジウム並びにロジウムの金属シリサイドから選ばれる、少なくとも一種の金属シリサイドからなることを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 8】 前記 N チャネル電界効果トランジスタ並びに前記 P チャネル電界効果トランジスタのソース及びドレイン領域上に金属膜若しくは金属シリサイド膜が形成されていることを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 9】 前記 N チャネル電界効果トランジスタのソース及びドレイン領域上に形成される前記金属膜若しくは金属シリサイド膜は、チタン、ジルコニウム、ハフニウム、タンタル並びにニオブから選ばれる、少なくとも一種の金属膜若しくは金属シリサイド膜からなることを特徴とする請求項 8 に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 10】 前記 P チャネル電界効果トランジスタのソース領域及びドレイン領域上に形成される前記金属膜若しくは金属シリサイド膜は、白金、パラジウム並びにロジウムから選ばれる、少なくとも一種の金属膜若しくは金属シリサイ

ド膜からなることを特徴とする請求項 8 又は請求項 9 に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 1 1】 前記 N チャンネル電界効果トランジスタ並びに前記 P チャンネル電界効果トランジスタのエクステンション領域上にエレベーターソース領域及びエレベータードレイン領域として半導体膜が形成されていることを特徴とする請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置。

【請求項 1 2】 半導体基体上に素子分離領域を形成して、前記素子分離領域に囲まれる N チャンネル電界効果トランジスタ領域、及び前記素子分離領域に囲まれる P チャンネル電界効果トランジスタ領域を形成する工程と、
前記半導体基体上に絶縁膜を形成する工程と、
前記絶縁膜上に導電膜を形成する工程と、
前記導電膜を選択的にパターニングしてゲート領域を形成する工程と、
パターニングされた前記導電膜に対して自己整合的に、前記 N チャンネル電界効果トランジスタ領域及び前記 P チャンネル電界効果トランジスタ領域にソース及びドレイン領域を形成する工程と、
前記導電膜の周囲に側壁絶縁膜を形成する工程と、
前記ゲート領域の前記導電膜及び前記絶縁膜を除去し、前記側壁絶縁膜に囲まれる空間領域を形成する工程と、
前記空間領域に囲まれた前記 N チャンネル電界効果トランジスタ領域及び前記 P チャンネル電界効果トランジスタ領域上にゲート絶縁膜を形成する工程と、
前記空間領域内の前記ゲート絶縁膜上に第 1 の金属シリサイド膜を形成する工程と、
前記 P チャンネル電界効果トランジスタ領域上に、前記第 1 の金属シリサイド膜を構成する金属とは異なる金属膜を形成する工程と、
前記 P チャンネル電界効果トランジスタ領域の第 1 の金属シリサイド膜を、前記第 1 の金属シリサイドを構成する金属とは異なる金属からなる第 2 の金属シリサイド、及び前記第 1 の金属シリサイドの構成材料である金属並びに前記第 1 の金属シリサイドと同じ構成材料であり、かつ、前記第 1 の金属シリサイドよりもシリ

コン含有量が少ない第3の金属シリサイドから選ばれる少なくとも一種とで構成された膜に変換する熱処理の工程とを有することを特徴とする絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項13】 前記第1の金属シリサイドとして、単位体積当りのシリコンの原子数が、単位体積当りの金属の原子数の2.5倍以上である膜を形成することを特徴とする請求項12に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項14】 前記第3の金属シリサイドとして、単位体積当りのシリコンの原子数が、単位体積当りの金属の原子数以下である膜を形成することを特徴とする請求項12又は請求項13に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項15】 前記第1の金属シリサイドとして、タングステンシリサイド膜を形成することを特徴とする請求項12乃至請求項14に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項16】 前記第2の金属シリサイドとして、白金、パラジウム並びにロジウムの金属シリサイドから選ばれる、少なくとも一種の金属シリサイド膜を、前記第1の金属シリサイド膜を構成する金属とは異なる金属膜を形成する工程及び前記熱処理の工程により形成することを特徴とする請求項12乃至請求項15のいずれか1項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項17】 前記側壁絶縁膜を形成する工程と前記空間領域を形成する工程の間に、前記Nチャネル電界効果トランジスタ並びにPチャネル電界効果トランジスタのソース及びドレイン領域上に金属膜若しくは金属シリサイド膜を形成する工程を有することを特徴とする請求項12乃至請求項16のいずれか1項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項18】 前記Nチャネル電界効果トランジスタ並びにPチャネル電界効果トランジスタのソース及びドレイン領域上に金属膜若しくは金属シリサイド膜を形成する工程は、前記熱処理の工程の後に行うことを特徴とする請求項12乃

至請求項 1 6 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項 1 9】 前記 P チャンネル電界効果トランジスタのソース及びドレイン領域上に金属膜若しくは金属シリサイド膜を形成する工程は、前記第 1 の金属シリサイド膜を構成する金属とは異なる金属膜を形成する工程、及び前記熱処理の工程と共に行うことを特徴とする請求項 1 2 乃至請求項 1 6 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項 2 0】 前記 N チャンネル電界効果トランジスタのソース及びドレイン領域上に、チタン、ジルコニウム、ハフニウム、タンタル並びにニオブから選ばれる、少なくとも一種の金属膜を、前記金属膜若しくは金属シリサイド膜を形成する工程により形成することを特徴とする請求項 1 7 乃至請求項 1 9 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項 2 1】 前記 P チャンネル電界効果トランジスタのソース及びドレイン領域上に、白金、パラジウム並びにロジウムから選ばれる、少なくとも一種の金属膜若しくは金属シリサイド膜を形成することを特徴とする請求項 1 7 乃至請求項 2 0 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項 2 2】 前記 N チャンネル電界効果トランジスタ領域及び P チャンネル電界効果トランジスタのソース及びドレイン領域を形成する工程が、前記 N チャンネル電界効果トランジスタ領域及び前記 P チャンネル電界効果トランジスタ領域上に半導体膜を選択的に成長し、エレベーターソース領域及びエレベータードレイン領域を形成する工程であることを特徴とする請求項 1 2 乃至請求項 2 1 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項 2 3】 前記導電膜を選択的にパターニングしてゲート領域を形成後、前記 N チャンネル電界効果トランジスタ領域及び前記 P チャンネル電界効果トランジスタ領域にソース及びドレイン領域を形成する前に、パターニングされた前記導電膜をマスクとして、前記半導体基体上に形成された前記絶縁膜を更にパターニングする工程を有することを特徴とする請求項 1 2 乃至請求項 2 2 のいずれか 1

項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【請求項 2 4】 前記導電膜の周囲に側壁絶縁膜を形成後、前記ゲート領域の前記導電膜及び前記絶縁膜を除去し、前記側壁絶縁膜に囲まれる空間領域を形成する前に、層間絶縁膜を形成する工程を有することを特徴とする請求項 1 2 乃至請求項 2 3 のいずれか 1 項に記載の絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、絶縁ゲート型電界効果トランジスタ（以下、M I S F E T と称す）を含む半導体装置とその製造方法に関する。

【0 0 0 2】

【従来の技術】

集積回路の高性能化要求に対し、その基本回路の一つである相補型回路の高速化が図られている。これまで、相補型回路の高速化に対して、微細化技術によってその基本素子の M I S F E T のチャネル長を短くする方法が用いられてきた。この微細化には M I S F E T を構成するゲート絶縁膜及びゲート電極膜の薄膜化も伴うため、従来用いられてきた材料では、その高速化への対応も限界に到達しつつある。このため、近年、新たな材料とそれを応用した新たな素子構造及び製造方法が開発されている。

【0 0 0 3】

例えば、ゲート電極の材料として一般に用いられている多結晶シリコンは、抵抗率が高いため、これに代えて、金属あるいは金属シリサイドが用いられている。しかし、これらの材料は、多結晶シリコンに比べて耐熱性に劣るという欠点を有している。

【0 0 0 4】

それに対し、高温プロセスを行った後にゲート絶縁膜及びゲート電極を形成する技術として、ダマシゲート技術がある。ダマシゲート技術では、ゲート形成予定領域に予めダミーとなる酸化膜並びに多結晶シリコン膜を形成した後、ソ

ース及びドレイン領域を形成する。次に、そのダミーとなる膜を除去し、その除去した領域にゲート絶縁膜及び金属若しくは金属シリサイドのゲート電極を埋め込む。

【0005】

上述の方法を相補型回路で構成された集積回路に適用した場合、NチャネルMISFET及びPチャネルMISFETのゲート電極に同じ金属を用いると、ゲート電極の仕事関数は同じになるため、それぞれのしきい値電圧を回路動作上の適正な値に制御することが困難になる。従って、NチャネルMISFETとPチャネルMISFETとで、異なる金属のゲート電極材料を用いることが必要とされている。

【0006】

例えば、特許文献1では、ダミーとなる多結晶シリコン膜を形成し、ソース及びドレイン層を形成した後、そのダミー膜を除去し、その除去した領域に、NチャネルMISFETとPチャネルMISFETそれぞれ異なる材料のゲート電極を埋め込んでいる。この方法によって、NチャネルMISFET及びPチャネルMISFETのそれぞれのしきい値電圧を回路動作上の適正な値に制御し、集積回路の高性能化を図ることができる。

【0007】

【特許文献1】

特許第3264264号公報（第8頁、図4）

【0008】

【発明が解決しようとする課題】

相補型回路を用いた集積回路を構成するNチャネルMISFET及びPチャネルMISFETにおいて、異なる金属のゲート電極材料を用いることは、MISFETのしきい値電圧だけでなく、ゲート絶縁膜に起因する信頼性、不純物コンタミネーションによる電流特性劣化等、集積回路の様々な性能に影響を及ぼす。

【0009】

例えば、NチャネルMISFETに第1のゲート電極材料を用い、PチャネルMISFETに第2のゲート電極材料を用いる場合を考える。この場合、半導体

基板の表面全体に第1のゲート電極材料を形成した後、NチャネルMISFET形成領域の第1のゲート電極材料を残して、PチャネルMISFET形成領域の第1のゲート電極材料をエッチングによって剥離する。その後、表面処理、次の工程のための洗浄前処理等を行った後に、第2のゲート電極材料をPチャネルMISFET形成領域にのみ形成する。

【0010】

このため、第1のゲート電極材料をエッチングによって剥離する工程において、PチャネルMISFETのゲート絶縁膜は必ず、ガスあるいは薬液等のエッチング種に曝され、表面で化学反応が生ずる。また、その後の洗浄工程等においても金属コンタミネーション等を化学反応によって除去する薬液によって、同様な反応現象が引き起こされる。

【0011】

ゲート絶縁膜は、特に昨今の微細化が著しく進む中で、原子層で数えられる程度にまで薄膜化されている。従って、上述のようにガスあるいは薬液にゲート絶縁膜が曝された場合、巨視的なレベルではゲート絶縁膜のエッチングが生じないようにエッチング種を選択したとしても、微視的なレベルでのゲート絶縁膜の均一性を劣化させる問題が発生する。

【0012】

集積回路においては、製造段階でのゲート絶縁膜の電氣的絶縁特性が、長時間にわたる製品使用中に経時的に劣化することを防ぎ、信頼性を確保することが重要である。上述の不均一性はその信頼性に悪影響とバラツキを与える要因として働くため、大きな問題となる。

【0013】

本発明はこのような事情に鑑みてなされたもので、その目的は、しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えた絶縁ゲート型電界効果トランジスタを含む半導体装置とその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

上記の課題を解決するため、本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置は、半導体基体と、前記半導体基体に設けられ第1及び第2の素子領域を囲む素子分離領域と、前記第1の素子領域に形成されると共に、少なくともゲート電極膜におけるゲート絶縁膜に接する領域が、第1の金属シリサイドで構成されたNチャネル電界効果トランジスタと、前記第2の素子領域に形成されると共に、ゲート電極膜が、前記第1の金属シリサイドを構成する金属とは異なる金属からなる第2の金属シリサイド、及び前記第1の金属シリサイドの構成材料である金属並びに前記第1の金属シリサイドと同じ構成材料であり、かつ、前記第1の金属シリサイドよりもシリコン含有量が少ない第3の金属シリサイドから選ばれる少なくとも一種とで構成されたPチャネル電界効果トランジスタを有し、前記Nチャネル電界効果トランジスタの、前記ゲート絶縁膜に接する前記ゲート電極膜の仕事関数が、前記Pチャネル電界効果トランジスタの、前記ゲート絶縁膜に接する前記ゲート電極膜の仕事関数よりも小さいことを特徴とする。

【 0 0 1 5 】

本発明によれば、Nチャネル電界効果トランジスタのゲート電極とPチャネル電界効果トランジスタのゲート電極に異なる金属シリサイドを用いることにより、しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えた絶縁ゲート型電界効果トランジスタを含む半導体装置が得られる。

【 0 0 1 6 】

また、本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法は、半導体基体上に素子分離領域を形成して、前記素子分離領域に囲まれるNチャネル電界効果トランジスタ領域、及び前記素子分離領域に囲まれるPチャネル電界効果トランジスタ領域を形成する工程と、前記半導体基体上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜を選択的にパターニングしてゲート領域を形成する工程と、パターニングされた前記導電膜に対して自己整合的に、前記Nチャネル電界効果トランジスタ領域及び前記Pチャネル電界効果トランジスタ領域にソース及びドレイン領域を形成する工程と、前記導電膜の周囲に側壁絶縁膜を形成する工程と、前記ゲート領域の前記導

電膜及び前記絶縁膜を除去し、前記側壁絶縁膜に囲まれる空間領域を形成する工程と、

前記空間領域に囲まれた前記Nチャネル電界効果トランジスタ領域及び前記Pチャネル電界効果トランジスタ領域上にゲート絶縁膜を形成する工程と、前記空間領域内の前記ゲート絶縁膜上に第1の金属シリサイド膜を形成する工程と、前記Pチャネル電界効果トランジスタ領域上に、前記第1の金属シリサイド膜を構成する金属とは異なる金属膜を形成する工程と、前記Pチャネル電界効果トランジスタ領域の第1の金属シリサイド膜を、前記第1の金属シリサイドを構成する金属とは異なる金属からなる第2の金属シリサイド、及び前記第1の金属シリサイドの構成材料である金属並びに前記第1の金属シリサイドと同じ構成材料であり、かつ、前記第1の金属シリサイドよりもシリコン含有量が少ない第3の金属シリサイドから選ばれる少なくとも一種とで構成された膜に変換する熱処理の工程とを有することを特徴とする。

【0017】

本発明によれば、Pチャネル電界効果トランジスタ領域のゲート電極を第1の金属シリサイド膜で形成した後、その膜を剥離することなく、前記第1の金属シリサイドを構成する金属とは異なる金属からなる第2の金属シリサイドの構成材料である金属膜を前記第1の金属シリサイド膜上に形成し、熱処理を施すことにより両者の固相反応を生じさせ、前記第2の金属シリサイド、第1の金属シリサイドの構成材料である金属及び第1の金属シリサイドと同じ構成材料で、かつ、第1の金属シリサイドよりもシリコン含有量が少ない第3の金属シリサイドから選ばれる、少なくとも一種で構成される層に変換できる。このため、Nチャネル電界効果トランジスタのゲート電極よりも大きい仕事関数を備えたPチャネル電界効果トランジスタのゲート電極を、Pチャネル電界効果トランジスタのゲート絶縁膜の劣化を招くことなく形成できる。

【0018】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。

【0019】

(第1の実施の形態)

図1(a)～図4(j)は本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法の第1の実施の形態を工程順に示す断面図である。また、図4(j)は本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の第1の実施の形態を示している。本実施の形態では、NチャネルMISFET及びPチャネルMISFETの双方を形成するが、図1(a)～図2(f)の工程は、NチャネルMISFETの領域のみを代表的に示す。図3(g)以降はNチャネルMISFET及びPチャネルMISFETの双方について示す。

【0020】

まず、図1(a)に示すように、P型のシリコン基板101の表面領域に、STI法(浅いトレンチ分離法)若しくはLOCOS法(選択酸化法)により、酸化膜を選択的に形成して、素子分離領域102とする。次に、イオン注入法でボロンイオンをドーズ量として $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度注入し、その後、例えば、10秒の急速加熱を施し、導入した不純物を活性化し、P型ウェル領域101aを形成する。素子分離領域102に囲まれるP型ウェル領域101aがNチャネルMISFET領域となる。

【0021】

次に、後の工程において除去されるダミーゲート構造を形成する。即ち、熱酸化法によりシリコン酸化膜を例えば6nm成長する。次に、NチャネルMISFETのしきい値電圧を制御するためにイオン注入法でP型不純物を導入する。続いて、多結晶シリコン膜をCVD法で例えば100nm程度成長し、更に、シリコン窒化膜を例えば20nm成長する。続いて、リソグラフィ法、ドライエッチング法等を用いてこれらの膜のパターニングを行い、ダミーゲート構造となる第1のキャップ膜105、導電膜104、及び絶縁膜103を形成する。次に、パターニングされた第1のキャップ膜105、導電膜104、及び絶縁膜103をマスクとしてイオン注入法によりエクステンション領域106、107を形成する。即ち、砒素イオン若しくはリンイオンをドーズ量として $1 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 注入し、その後、例えば、数秒の急速加熱を施し、導入した不純物を活性化する。なお、絶縁膜103をパターニングせずに、イオン注入法に

よりエクステンション領域106、107を形成し、その後、絶縁膜103をパターンニングしても良い。

【0022】

次に、図1(b)に示すように、CVD法によってシリコン窒化膜を20～40nm、シリコン基板101の全面に形成した後、RIE法によって異方性エッチングを行い、側壁絶縁膜108をダミーゲート構造に接して、その周囲に選択的に残存させる。続いて、砒素イオン若しくはリンイオンをドーズ量として $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 注入し、その後、例えば、950℃、10秒の急速加熱を施し、ソース及びドレイン領域109、110を形成する。

【0023】

更に、図示しないが、コバルト膜をスパッタ法でシリコン基板101の全面に形成した後、熱処理を行って、ソース及びドレイン領域109、110のシリコン層とのみ反応させ、コバルトシリサイド層に変換し、ソース及びドレイン領域109、110の上に第1の金属シリサイド電極層111、112を選択的に形成する。続いて、残存するコバルト膜をエッチングにより、選択的に除去する。

【0024】

次に、図1(c)に示すように、シリコン酸化膜をCVD法でシリコン基板101全面に堆積し、その後、第1のキャップ膜105、側壁絶縁膜108の上面が露出するまでCMP法により上記絶縁膜の研磨を行い、表面を平坦化して層間絶縁膜113を選択的に残存させる。

【0025】

次に、図2(d)に示すように、例えば磷酸を用いて、シリコン窒化膜からなる第1のキャップ膜105をシリコン酸化膜からなる層間絶縁膜113に対して選択的に除去する。更に、例えばフッ素などのハロゲン原子のラジカルを用いたエッチング技術により、多結晶シリコン膜からなる導電膜104をシリコン酸化膜からなる層間絶縁膜113及びシリコン窒化膜からなる側壁絶縁膜118に対して選択的に除去する。更に、希フッ酸等により、絶縁膜103を除去することにより、後で述べるゲート絶縁膜及びゲート電極が埋め込まれる空間領域108aを形成する。

【0026】

次に、図2(e)に示すように、高誘電体絶縁膜であるハフニウム酸化膜113aをCVD法若しくはスパッタ法によりシリコン基板101の全面に堆積する。続いて、タングステンシリサイド膜113bをCVD法若しくはスパッタ法を用いて堆積する。更に、図2(f)に示すように、CMP法を用いてシリコン基板101の表面全体を研磨して平坦化させ、空間領域108aにタングステンシリサイド膜113b並びにハフニウム酸化膜113aを埋め込むように残存させ、NチャネルMISFETのゲート電極となる第1の金属シリサイド膜115、及びゲート絶縁膜114とする。

【0027】

以上により、NチャネルMISFETが形成される。PチャネルMISFETについてもNチャネルMISFETと同じ製造手順でウェル領域、エクステンション領域、並びにソース及びドレイン領域の製造工程について、適切な条件を選ぶことによって形成できる。即ち、導入される不純物の導電型をNチャネルMISFETとは異なるものとし、不純物導入に際してはNチャネルMISFET側をマスクで覆っておく。図3及び図4では以降の工程について、NチャネルMISFET及びPチャネルMISFETを合わせて図示し、PチャネルMISFETの電極を形成する工程を示す。

【0028】

先ず、図3(g)に示すように、NチャネルMISFETのゲート電極を構成している第1の金属シリサイド膜115並びにゲート絶縁膜114の反応を防ぐため、チタン窒化膜をスパッタ法などでシリコン基板101全面に堆積した後、リソグラフィ技術とエッチング技術を用いてNチャネルMISFET形成領域にのみ、チタン窒化膜が残存するように選択的に加工し、バリヤ金属膜116とする。

【0029】

次に、図3(h)に示すように、白金膜を例えばスパッタ法等でシリコン基板101上に堆積し、PチャネルMISFETのゲート電極の構成材料となる第1の金属膜117とする。更に、チタン窒化膜をスパッタ法等で堆積し、第2のキ

ャップ膜118とする。その後、熱処理を行うと、PチャネルMISFETの第1の金属シリサイド膜115上に形成された第1の金属膜117が第1の金属シリサイド膜115と固相反応を起す。

【0030】

即ち、基本的な反応としてタングステンシリサイドはタングステンとシリコンに分解し、タングstenは析出し、シリコンは白金と結合して白金シリサイドを形成する。即ち、図3(i)に示すように、白金シリサイドが第2の金属シリサイド膜119としてPチャネルMISFETのゲート電極になる。但し、第2の金属シリサイド膜119にはタングステンも含まれており、この固相反応におけるタングステンの挙動は、タングステンシリサイド中のシリコン組成比、あるいは熱処理条件等により変化し、タングステンの存在形態等も、それに伴って変化する。これに関しては後で述べる。

【0031】

一方、NチャネルMISFETのゲート電極では、第1の金属膜117の下に形成したバリヤ金属膜116が、第1の金属膜117の構成原子による第1の金属シリサイド膜114への拡散及び反応を抑制するため、第1の金属シリサイド膜115はそのままの状態に残存する。

【0032】

次に、図4(j)に示すように、CMP技術、エッチング技術等により第2のキャップ膜118、未反応の第1の金属膜117、バリヤ金属膜116を除去し、表面の平坦化を行う。

【0033】

その後、図示しない SiO_2 等の層間絶縁膜をシリコン基板101全面に堆積する。この層間絶縁膜にコンタクト孔を開口し、NチャネルMISFETのゲート電極である第1の金属シリサイド膜115、PチャネルMISFETのゲート電極である第2の金属シリサイド膜119、ソース及びドレインの電極層である第1の金属シリサイド電極層111、112にAl、Cu等の金属配線を形成する。さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成したうえで、シリコン基板101全面を表面保護膜で覆い、パ

ッド部を開口して本発明によるM I S F E Tを含む半導体装置の第1の実施の形態を完成させる。

【 0 0 3 4 】

次に、先に述べたPチャネルM I S F E Tのゲート電極になる第2の金属シリサイド膜119の構造について図5を用いて説明する。第2の金属シリサイド膜119の構造は白金シリサイド膜が主体となり、タングステンの存在形態はタングステンシリサイド膜及び白金膜の厚さ、タングステンシリサイド膜中のシリコンとタングステンの組成比、反応時の熱処理の条件等により異なってくる。

【 0 0 3 5 】

まず、第1の構造例を図5(a)に示す。この構造例では、第2の金属シリサイド膜119において、ゲート絶縁膜114に接する部分にタングステン析出層121が形成されており、また、白金シリサイド層120にはタングステン粒子122が存在する。なお、タングステン析出層121及びタングステン粒子122にはシリコンが含まれている場合もあり、また、その結晶構造としてタングステンシリサイドが含まれている場合もある。但し、そのタングステンシリサイドはNチャネルM I S F E Tのゲート電極を構成する、第1の金属シリサイドとしてのタングステンシリサイドからシリコンが析出した後のものであるため、第1の金属シリサイドよりもシリコン含有量が少ない。即ち、タングステンシリサイドとして、第1の金属シリサイドとはシリコン含有量が異なる、第3の金属シリサイドの形態をとる。なお、このような第3の金属シリサイドが含まれる場合もあることは以下の第2の構造例乃至第4の構造例についても同じである。

【 0 0 3 6 】

次に、第2の金属シリサイド膜119の第2の構造例を図5(b)に示す。タングステン析出層121はゲート絶縁膜114全面を覆っておらず、一部は白金シリサイド層120がゲート絶縁膜114に接している。次に、第2の金属シリサイド膜119の第3の構造例を図5(c)に示す。ゲート絶縁膜114の界面付近ではタングステン析出層がほとんど粒子化しており、ゲート絶縁膜114と接している領域は白金シリサイド層120がほとんどである。

【 0 0 3 7 】

次に、第2の金属シリサイド膜119について第4の構造例を図5(d)に示す。この構造例は、上述した第1乃至第3の構造例を実現する条件よりも、タングステンシリサイドの膜厚が薄い場合に起きる。即ち、ゲート絶縁膜114に接する部分にタングステンが析出するほどタングステンの量が多くない場合である。従って、ゲート絶縁膜114と接する部分はすべて白金シリサイド膜120によって覆われている。なお、図示しないが、白金シリサイド層120中にタングステンがほとんど析出しない場合もあることは勿論である。

【0038】

図5(a)乃至(d)のいずれの構造例においても、ゲート電極の仕事関数が決定されるゲート絶縁膜114と接する厚さ1nm程度の領域は、白金シリサイド、タングステン並びに第1の金属シリサイドであるタングステンシリサイドよりもシリコン含有量が少ない第3の金属シリサイドのうち、少なくとも一種から構成される。白金シリサイド及びタングステンの仕事関数は共に4.8~4.9 eV程度のため、PチャネルMISFETのゲート電極として適切な値になる。一方、NチャネルMISFETのゲート電極はタングステンシリサイドであり、その仕事関数は4.3~4.6 eV程度のため、NチャネルMISFETのゲート電極として適切な値になる。

【0039】

また、タングステンシリサイドはシリコン含有量が少ない程、その仕事関数は大きくなるため、PチャネルMISFETのゲート電極に第3の金属シリサイドが含まれていた場合においても、本実施の形態ではPチャネルMISFETのゲート電極の仕事関数はNチャネルMISFETのゲート電極の仕事関数より大きな値をもつ。このため、集積回路を構成する相補型回路として本実施の形態で示したゲート電極は最適な構造になる。

【0040】

さらに、上述の理由から、NチャネルMISFETのゲート電極である第1の金属シリサイド膜115としては、シリコンの組成比が2よりも大きく、2.5以上が望ましい。また、PチャネルMISFETのゲート電極である第3の金属シリサイド膜のシリコン組成比は、タングステン組成比よりも小さいことが望ま

しい。更に、第1の金属シリサイドを構成する金属としてタングステン以外にも、モリブデン、チタン、ジルコニウム、ハフニウム、タンタル並びにニオブ等がある。一方、第2の金属シリサイドを構成する金属としては白金以外に、パラジウム及びロジウムがある。

【 0 0 4 1 】

本実施の形態によれば、PチャネルMISFETにおいて、ゲート絶縁膜表面をエッチングガスや薬液等に曝さずに、NチャネルMISFETのゲート電極とは異なる材料で構成されたゲート電極を形成できる。このため、NチャネルMISFETのゲート電極及びPチャネルMISFETのゲート電極が共に適切な仕事関数を持ち、しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えた絶縁ゲート型電界効果トランジスタを含む半導体装置とその製造方法が得られる。

【 0 0 4 2 】

(第2の実施の形態)

本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法の第2の実施の形態を図6を用いて説明する。工程の開始から第1の金属シリサイドをダミーゲート構造の空間部に埋め込むまでは、図1(a)乃至図2(f)に示す第1の実施の形態と同様の工程である。従って、図2(f)以降の工程を図6(a)乃至(c)に示す断面図を用いて順次説明する。又、図6(c)は本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の第2の実施の形態を示している。

【 0 0 4 3 】

図6では左側にNチャネルMISFET領域、右側にPチャネルMISFET領域を図示している。NチャネルMISFETのゲート電極を構成している第1の金属シリサイド膜115並びにゲート絶縁膜114の反応を防ぐため、図6(a)に示すように、シリコン基板101の全面にシリコン窒化膜をCVD法若しくはスパッタ法等で堆積した後、リソグラフィ技術とエッチング技術等を用いて選択的にパターニングを行って、NチャネルMISFET領域にのみ、第1のバリヤ絶縁膜123を残存させる。第1の実施の形態ではチタン窒化膜を用いたが

、本実施の形態では酸素雰囲気中で熱処理を行っても酸化されない材料として、例えばシリコン窒化膜を用いている。

【 0 0 4 4 】

次に、白金膜をスパッタ法等で堆積し、PチャネルMISFETのゲート電極の構成材料となる第1の金属膜117とする。更に、チタン窒化膜をスパッタ法等で堆積し、第2のキャップ膜118とする。その後、熱処理を行うと、図6（b）に示すように、PチャネルMISFETのゲート電極上に形成された第1の金属膜117がその下の第1の金属シリサイド膜115と固相反応を起し、PチャネルMISFETのゲート電極は第2の金属シリサイド膜119になる。

【 0 0 4 5 】

次に、第2のキャップ膜118を薬液で選択的に除去する。続いて、500℃程度で酸化雰囲気の熱処理を行うと、未反応の白金である第1の金属膜117は酸化されず、その下面にある白金シリサイド中のシリコン原子が表面に移動し、優先的に酸化され、シリコン酸化膜がPチャネルMISFETのゲート電極上面に形成される。このシリコン酸化膜を第2のバリヤ絶縁膜124とする。続いて、図6（c）に示すように、第2のバリヤ絶縁膜124をマスクとして、王水などで未反応の第1の金属膜117を選択的に除去する。更に、磷酸などで第1のバリヤ絶縁膜123も除去する。

【 0 0 4 6 】

その後、図示してない SiO_2 等の層間絶縁膜をシリコン基板全面に堆積する。この層間絶縁膜にコンタクト孔を開口し、NチャネルMISFETのゲートゲート電極である第1の金属シリサイド膜115、PチャネルMISFETのゲート電極である第2の金属シリサイド膜119、ソース及びドレインの電極層である第1の金属シリサイド電極層111、112にAl、Cu等の金属配線を形成する。さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成したうえで、シリコン基板全面を表面保護膜で覆い、パッド部を開口して本発明によるMISFETを含む半導体装置の第2の実施の形態を完成させる。

【 0 0 4 7 】

本実施の形態によれば、PチャネルMISFETにおいて、ゲート絶縁膜表面をエッチングガスや薬液等に曝さずに、NチャネルMISFETのゲート電極とは異なる材料で構成されたゲート電極を形成できる。このため、NチャネルMISFETのゲート電極及びPチャネルMISFETのゲート電極が共に適切な仕事関数をもつ、しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えた絶縁ゲート型電界効果トランジスタを含む半導体装置とその製造方法が得られる。

【0048】

又、バリヤ絶縁膜であるシリコン酸化膜をマスクとして用いることにより、未反応の白金並びにバリヤ絶縁膜を除去できる。このため、P型MISFETのゲート電極に損傷を与えることなく、MISFETが形成可能になる。

【0049】

(第3の実施の形態)

図7(a)乃至図10(k)は本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法の第3の実施の形態を工程順に示す断面図である。また、図10(k)は本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の第3の実施の形態を示している。本発明では、NチャネルMISFET及びPチャネルMISFETの双方を形成するが、図7(a)乃至図8(e)の工程は、NチャネルMISFETの領域のみを代表的に示す。図9(f)以降はNチャネルMISFET及びPチャネルMISFETの双方について示す。本実施の形態による製造方法は、ゲート絶縁膜、ゲート電極の成膜を行った後に、ソース及びドレイン領域上面に金属シリサイド電極層を形成することに特徴を有する。

【0050】

まず、図7(a)に示すように、半導体基体としてP型のシリコン基板201の表面領域に、STI法(浅いトレンチ分離法)若しくはLOCOS法(選択酸化法)により、酸化膜を選択的に形成して、素子分離領域202とする。次に、イオン注入法でボロンイオンをドーズ量として $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度注入し、その後、例えば、10秒の急速加熱を施し、導入した不純物を

活性化し、P型ウェル領域201aを形成する。素子分離領域202に囲まれるP型ウェル領域201aがNチャネルMISFET領域となる。

【0051】

次に、後の工程において除去されるダミーゲート構造を形成する。即ち、熱酸化法によりシリコン酸化膜を例えば8nm成長する。次に、NチャネルMISFETのしきい値電圧を制御するためにイオン注入法でP型不純物を導入する。続いて、多結晶シリコン膜をCVD法で例えば200nm程度堆積する、更に、リソグラフィ法、ドライエッチング法等を用いてこれらの膜のパターニングを行い、ダミーゲート構造として導電膜204、及び絶縁膜203を形成する。次に、パターニングされた導電膜204、及び絶縁膜203をマスクとしてイオン注入法により不純物を導入し、エクステンション領域205、206を形成する。即ち、砒素イオンもしくはリンイオンをドーズ量として $1E13\text{ cm}^{-2} \sim 5E15\text{ cm}^{-2}$ 程度注入し、その後、例えば、900℃、5秒の急速加熱を施し、導入した不純物を活性化する。

【0052】

次に、図7(b)に示すように、CVD法によってシリコン窒化膜を30nm程度シリコン基板201全面に形成した後、RIE法によって異方性エッチングを行い、ダミーゲート構造に接して、その周囲に側壁絶縁膜207を選択的に残存させる。再度、砒素イオン若しくは、リンイオンをドーズ量として $1E15\text{ cm}^{-2} \sim 1E16\text{ cm}^{-2}$ 程度注入し、その後、例えば、900℃、10秒の急速加熱を施し、ソース及びドレイン領域208、209を形成する。続いて、図7(c)に示すように、シリコン窒化膜を例えば10nm程度シリコン基板表面201に全面に堆積し、第3のキャップ膜210とする。

【0053】

次に、図8(d)に示すように、例えばシリコン酸化膜をCVD法により堆積し、更に、CMP技術を用いて第3のキャップ膜210の上面が露出するまで平坦化を行い、埋め込み絶縁膜211とする。続いて、第3のキャップ膜210の一部である、導電膜204の上にあるシリコン窒化膜を選択的に除去する。

【0054】

次に、図 8 (e) に示すように、例えばフッ素などのハロゲン原子のラジカルを用いたエッチング技術により、導電膜 2 0 4 を埋め込み絶縁膜 2 1 1 及び側壁絶縁膜 2 0 7 対して選択的に除去する。次に、希フッ酸等により絶縁膜 1 0 3 を除去することにより、後で述べるゲート絶縁膜及びゲート電極が埋め込まれる空間領域 2 1 2 を形成する。

【 0 0 5 5 】

以上のように、ゲート絶縁膜及びゲート電極を除く N チャネル MISFET が形成される。P チャネル MISFET についても N チャネル MISFET と同じ製造手順でウェル領域、エクステンション領域、並びにソース及びドレイン領域の製造工程について、適切な条件を選ぶことによって形成できる。即ち、導入される不純物の導電型を N チャネル MISFET とは異なるものとし、不純物導入に際しては N チャネル MISFET 側をマスクで覆っておく。

【 0 0 5 6 】

図 9 及び図 1 0 は上述のようにして形成された N チャネル及び P チャネル MISFET 領域を示しており、左側に N チャネル MISFET 領域、右側に P チャネル MISFET 領域を図示する。まず、図 9 (f) に示すように、高誘電体絶縁膜であるハフニウム酸化膜を CVD 法、或いはスパッタ法によりシリコン基板 2 0 1 の全面に堆積する。次に、タングステンシリサイドを CVD 法もしくはスパッタ法を用いて成長し、更に、CMP 法を用いてシリコン基板表面全体を研磨することにより、埋め込み絶縁膜 2 1 1 が露出するように平坦化し、ゲート絶縁膜 2 1 3、N チャネル MISFET のゲート電極となる第 1 の金属シリサイド膜 2 1 4 とする。

【 0 0 5 7 】

次に、図 9 (g) に示すように、第 1 の金属シリサイド膜 2 1 4 並びにゲート絶縁膜 2 1 3 の反応を防ぐため、チタン窒化膜をスパッタ法などでシリコン基板 2 0 1 の全面に成膜した後、リソグラフィ技術とエッチング技術を用いて N チャネル MISFET 領域にのみ残存するように、選択的にパターニングし、バリヤ金属膜 2 1 5 とする。次に、白金膜をスパッタ法等で堆積し、P チャネル MISFET のゲート電極の構成材料となる第 1 の金属膜 2 1 6 とする。更に、チタン

窒化膜をスパッタ法等で堆積し、第2のキャップ膜217とする。

【0058】

その後、熱処理を行うと、図9(c)に示すように、PチャネルMISFETゲート電極領域の第1の金属シリサイド膜214とその上に形成された第1の金属膜216の固相反応が生じる。この結果、第2の金属シリサイド膜218がPチャネルMISFETのゲート電極として形成される。次に、CMP技術、エッチング技術等により第2のキャップ膜217、未反応の白金である第1の金属膜216、バリア金属膜215を除去すると共に、表面の平坦化を行う。

【0059】

次に、図10(i)に示すように、弗酸などの薬液若しくはドライエッチングで、埋め込み絶縁膜211を選択的に除去する。更にRIE法等のドライエッチング技術を用いてシリコン窒化膜である第3のキャップ膜210を異方性エッチングして、側壁絶縁膜207の側壁に残存させ、ソース及びドレイン領域208、209の上面を露出させる。

【0060】

更に、ニッケルをスパッタ法等によってシリコン基板201全面に堆積し、第2の金属膜219を形成し、その後、図10(j)に示すように、500℃程度で熱処理を行い、ソース及びドレイン領域208、209上にのみニッケルシリサイドを成長させ、第2の金属シリサイド電極層220、221とする。続いて、未反応の第2の金属膜219を薬液により除去する。

【0061】

その後、図示しないSiO₂等の層間絶縁膜をシリコン基板201全面に堆積する。この層間絶縁膜にコンタクト孔を開口し、NチャネルMISFETのゲートゲート電極である第1の金属シリサイド膜214、PチャネルMISFETのゲート電極である第2の金属シリサイド膜218、ソース及びドレイン領域の電極である第2の金属シリサイド電極層220、221にAl、Cu等の金属配線を形成する。さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成したうえで、シリコン基板201全面を表面保護膜で覆い、パッド部を開口して本発明によるMISFETを含む半導体装置の第3の

実施の形態を完成させる。

【0062】

本実施の形態によれば、PチャネルMISFETにおいて、ゲート絶縁膜表面をエッチングガスや薬液等に曝さずに、NチャネルMISFETのゲート電極とは異なる材料で構成されたゲート電極を形成できる。このため、NチャネルMISFETのゲート電極及びPチャネルMISFETのゲート電極が共に適切な仕事関数をもつ、しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えた絶縁ゲート型電界効果トランジスタを含む半導体装置とその製造方法が得られる。

【0063】

又、ゲート絶縁膜及びゲート電極膜を含めたゲート電極構造を形成する比較的高温の熱処理工程の後に、ソース及びドレイン領域にシリサイド電極層を形成できる。ニッケルはコバルト、チタン等と比較すると、より低温でシリコンと反応してシリサイドを形成するため、本実施の形態に比較的適している。又、ニッケルシリサイドは比較的低抵抗のため、素子の高速動作に対して優れた材料である。

【0064】

(第4の実施の形態)

図11(a)～図13(i)は本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の製造方法の第4の実施の形態を工程順に示す断面図である。また、図13(i)は本発明による絶縁ゲート型電界効果トランジスタを含む半導体装置の第4の実施の形態を示している。本発明では、NチャネルMISFET及びPチャネルMISFETの双方を形成するが、図11(a)乃至図11(c)の工程は、NチャネルMISFETの領域のみを代表的に示す。図12(a)以降はNチャネルMISFET及びPチャネルMISFETの双方について示す。本実施の形態では、ソース及びドレイン領域として、シリコン膜をシリコン基板表面に選択的に成長し、エレベーターソース及びエレベータードレイン領域を形成している。

【0065】

先ず、図11(a)に示すように、半導体基体としてP型のシリコン基板301の表面領域に、STI法(浅いトレンチ分離法)もしくはLOCOS法(選択酸化法)により、酸化膜を選択的に形成して、素子分離領域302とする。次に、イオン注入法でボロンイオンをドーズ量として $1\text{E}12\text{cm}^{-2} \sim 1\text{E}14\text{cm}^{-2}$ 程度注入し、その後、例えば、10秒の急速加熱を施し、導入した不純物を活性化し、P型ウェル領域301aを形成する。素子分離領域302に囲まれるP型ウェル領域301aがNチャネルMISFET領域となる。

【0066】

次に、後の工程において除去されるダミーゲート構造を形成する。即ち、熱酸化法によりシリコン酸化膜を例えば6nm成長する。次に、NチャネルMISFETのしきい値電圧を制御するためにイオン注入法でP型不純物を導入する。続いて、多結晶シリコン膜をCVD法で例えば100nm程度成長し、更に、シリコン窒化膜を例えば20nm成長する。続いて、リソグラフィ法、ドライエッチング法等を用いてこれらの膜のパターニングを行い、ダミーゲート構造となる第1のキャップ膜305、導電膜304、及び絶縁膜303を形成する。次に、パターニングされた第1のキャップ膜305、導電膜304、及び絶縁膜303をマスクとしてイオン注入法によりエクステンション領域306、307を形成する。即ち、砒素イオン若しくはリンイオンをドーズ量として $1\text{E}13\text{cm}^{-2} \sim 5\text{E}15\text{cm}^{-2}$ 注入し、その後、例えば、数秒の急速加熱を施し、導入した不純物を活性化する。

【0067】

次に、図11(b)に示すように、CVD法によってシリコン窒化膜を20～40nm、シリコン基板301全面に形成した後、RIE法によって異方性エッチングを行い、シリコン窒化膜からなる側壁絶縁膜308をダミーゲート構造に接して、その周囲に残存させる。更に、エクステンション領域306、307上に選択的にシリコンを50nm程度成長させて、エレベーターソース及びエレベータードレイン領域309、310とする。

【0068】

次に、砒素イオンもしくはリンイオンをドーズ量として $1\text{E}15\text{cm}^{-2} \sim 1\text{E}$

16 cm⁻² 程度注入し、その後、例えば、950℃、10秒の急速加熱を施し、エレベーターソース及びエレベータードレイン領域に不純物を導入する。また、エクステンション領域を本工程のエレベーターソース及びエレベータードレイン領域309、310を形成する時に不純物の固相拡散により同時に形成しても何ら問題無い。更に、シリコン酸化膜をCVD法でシリコン基板301前面に堆積し、更に、CMP技術によりキャップ膜305の上面が露出するまで平坦化し、層間絶縁膜311とする。

【0069】

次に、図11(c)に示すように、例えば磷酸を用いて、第1のキャップ膜305をエッチングにより層間絶縁膜311に対して選択的に除去する。更に、例えばフッ素などのハロゲン原子のラジカルを用いたエッチング技術により、導電膜304を、共にシリコン窒化膜である層間絶縁膜311及び側壁絶縁膜308に対して選択的に除去する。次に、希フッ酸等の薬液により絶縁膜303を除去することにより、後で述べるゲート絶縁膜及びゲート電極が埋め込まれる空間領域308aを形成する。

【0070】

以上のように、ゲート絶縁膜及びゲート電極を除くNチャネルMISFETが形成される。PチャネルMISFETについてもNチャネルMISFETと同じ製造手順でウェル領域、エクステンション領域、並びにソース及びドレイン領域の製造工程について、適切な条件を選ぶことによって形成できる。即ち、導入される不純物の導電性をNチャネルMISFETとは異なるものとし、不純物導入に際してはNチャネルMISFET側をマスクで覆っておく。

【0071】

図12及び図13は上述のようにして形成されたNチャネル及びPチャネルMISFET領域を示しており、左側にNチャネルMISFET領域、右側にPチャネルMISFET領域を図示する。先ず、図12(d)に示すように、高誘電体絶縁膜であるハフニウム酸化膜をCVD法、或いはスパッタ法によりシリコン基板301全面に堆積する。

【0072】

次に、タングステンシリサイドをCVD法若しくはスパッタ法を用いて成長させ、更に、CMP法を用いて層間絶縁膜311並びにエレベ-テッドソース及びエレベ-テッドドレイン領域309、310のシリコン膜上面が露出するまで研磨して平坦化する。

【0073】

次に、図12(e)に示すように、白金膜をスパッタ法等で堆積し、更に、チタン窒化膜をスパッタ法等で堆積した後、リソグラフィ技術とエッチング技術を用いてPチャネルMISFET領域上にだけ、選択的にPチャネルMISFETのゲート電極の構成材料となる第1の金属膜314及び第4のキャップ膜315を残存させる。

【0074】

その後、500℃程度で熱処理を行うと、図12(f)に示すように、PチャネルMISFETの第1の金属シリサイド膜313と、その上に形成された第1の金属膜314が固相反応を起し、第2の金属シリサイド膜316がPチャネルMISFETのゲート電極として形成される。また、PチャネルMISFET領域のエレベ-テッドソース及びエレベ-テッドドレイン領域309、310においては白金シリサイド膜が成長し、第3の金属シリサイド電極層317、318が形成される。次に、第4のキャップ膜315を硫酸と過酸化水素水の混合液などで選択的に除去し、続いて、王水などで未反応の第1の金属膜314を選択的に除去する。

【0075】

次に、図13(g)に示すように、シリコン基板全面にチタンをスパッタ法などで堆積した後、リソグラフィ技術とドライエッチング技術等で、NチャネルMISFET領域にのみチタンが残存するように選択的に加工し、第3の金属膜319とする。更に、500℃程度で熱処理を行う。これによって、図13(e)に示すように、NチャネルMISFET領域におけるエレベ-テッドソース及びエレベ-テッドドレイン領域309、310の上のチタンがシリサイド化し、第4の金属シリサイド電極層320、321を形成する。

【0076】

次に薬液により未反応の第3の金属膜319を選択的に除去する。以上により、NチャネルMISFETのソース及びドレイン領域上にはチタンシリサイドが形成され、PチャネルMISFETのソース及びドレイン領域上には白金シリサイドが形成される。

【0077】

その後、図示しない SiO_2 等の層間絶縁膜をシリコン基板301の全面に堆積する。この層間絶縁膜にコンタクト孔を開口し、NチャネルMISFETのゲート電極である第1の金属シリサイド膜313、PチャネルMISFETの第2のゲート電極である金属シリサイド膜316、エレベーターソース及びエレベータードレイン領域309、310の電極である第3の金属シリサイド電極層317、318、第4の金属シリサイド電極層320、321にそれぞれAl、Cu等の金属配線を形成する。さらに、必要に応じて層間絶縁膜の堆積と、金属配線の形成を繰り返して多層配線構造を形成したうえで、シリコン基板301の全面を表面保護膜で覆い、パッド部を開口して本発明によるMISFETを含む半導体装置の第4の実施の形態を完成させる。

【0078】

本実施の形態によれば、PチャネルMISFETにおいて、ゲート絶縁膜表面をエッチングガスや薬液等に曝さずに、NチャネルMISFETのゲート電極とは異なる材料で構成されたゲート電極を形成できる。このため、NチャネルMISFETのゲート電極及びPチャネルMISFETのゲート電極が共に適切な仕事関数をもつ、しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えた絶縁ゲート型電界効果トランジスタを含む半導体装置とその製造方法が得られる。

【0079】

また、NチャネルMISFET及びPチャネルMISFETのエレベーターソース及びエレベータードレイン領域に金属シリサイド電極を形成することにより、MISFETの更なる微細化に対応可能な構造を形成できる。

【0080】

なお、本実施の形態では、エレベーターソース領域及びエレベータードレ

イン領域に金属シリサイドを形成する際、NチャネルMISFET領域とPチャネルMISFET領域とを別々に行ったが、以下の方法を用いることによって同時に行うことも可能である。即ち、第1の金属膜314と第4のキャップ膜315をP型MISFET領域に形成した後、熱処理を行わずに、第3の金属膜319を形成する。その後に熱処理を行うことによって、N型MISFET領域とP型MISFET領域とに同時に所望の金属シリサイドを形成できる。

【0081】

また、PチャネルMISFET領域のエレベーターソース及びエレベータードレイン領域に白金シリサイド膜を形成後、酸化雰囲気での熱処理を行って、金属シリサイド膜並びにシリコン膜表面上にシリコン酸化膜を形成し、金属シリサイドが他の金属もしくは金属シリサイドと反応し難くすることも可能である。

【0082】

なお、本発明は上述した各実施形態に何ら限定されるものではなく、基板材料は他の半導体やSOI構造を持つ基板でも良く、また、ゲート絶縁膜としてはハフニウム酸化膜以外に SiO_2 、 SiO_xN_y 、 SiN_x 、金属酸化物、金属シリケート、およびそれらの組み合わせであってもよい。更に、他の絶縁膜、金属シリサイド、導入不純物等を変更しても良く、本発明の主旨を逸脱しない範囲内で種々変更して実施することができる。

【0083】

【発明の効果】

以上、詳述したように、本発明によれば、しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えたMISFETを含む半導体装置とその製造方法が得られる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の製造方法の第1の実施の形態を工程順に示す断面図。

【図2】 本発明による半導体装置の製造方法の第1の実施の形態を工程順に示す断面図。

【図3】 本発明による半導体装置の製造方法の第1の実施の形態を工程順に示す断面図。

す断面図。

【図 4】 本発明による半導体装置の製造方法の第 1 の実施の形態を工程順に示す断面図。

【図 5】 本発明による半導体装置の製造方法の第 1 の実施の形態における、PチャネルMISFETの種々のゲート電極構造を示す断面図。

【図 6】 本発明による半導体装置の製造方法の第 2 の実施の形態を工程順に示す断面図。

【図 7】 本発明による半導体装置の製造方法の第 3 の実施の形態を工程順に示す断面図。

【図 8】 本発明による半導体装置の製造方法の第 3 の実施の形態を工程順に示す断面図。

【図 9】 本発明による半導体装置の製造方法の第 3 の実施の形態を工程順に示す断面図。

【図 10】 本発明による半導体装置の製造方法の第 3 の実施の形態を工程順に示す断面図。

【図 11】 本発明による半導体装置の製造方法の第 4 の実施の形態を工程順に示す断面図。

【図 12】 本発明による半導体装置の製造方法の第 4 の実施の形態を工程順に示す断面図。

【図 13】 本発明による半導体装置の製造方法の第 4 の実施の形態を工程順に示す断面図。

【符号の説明】

101、201、301 シリコン基板

101a、201a、301a P型ウェル領域

101b、201b、301b N型ウェル領域

102、202、302 素子分離領域

103、203、303 絶縁膜

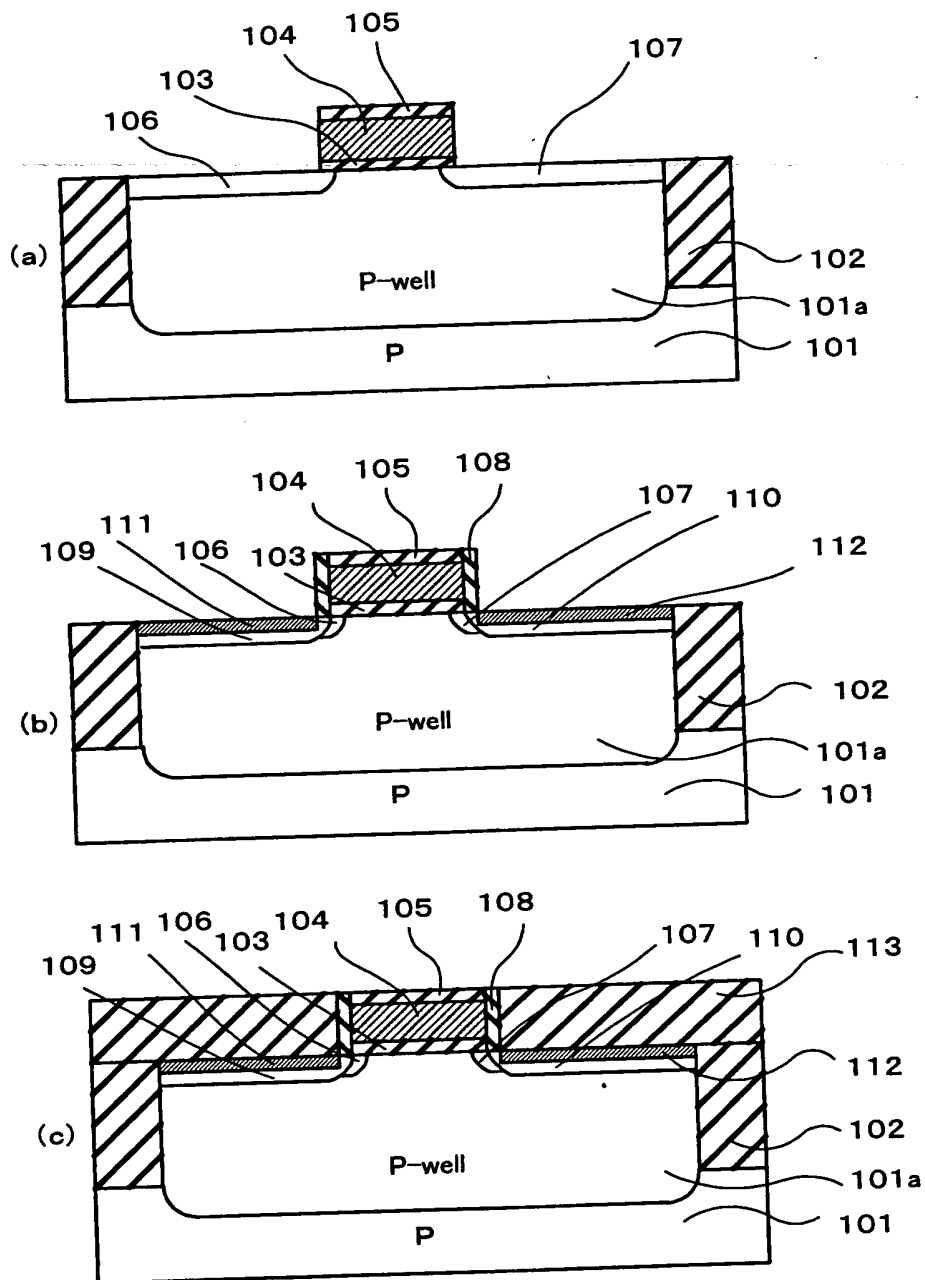
104、204、304 導電膜

105、305 第1のキャップ膜

- 106、107、205、206、306、307 エクステンション領域
- 108、207、308 側壁絶縁膜
- 109、110、208、209 ソース及びドレイン領域
- 111、112 第1の金属シリサイド電極層
- 113、311 層間絶縁膜
- 108a、212、308a 空間領域
- 113a ハフニウム酸化膜
- 113b タングステンシリサイド膜
- 114、213、312 ゲート絶縁膜
- 115、214、313 第1の金属シリサイド膜
- 116、215 バリヤ金属膜
- 117、216、314 第1の金属膜
- 118、217 第2のキャップ膜
- 119、218、316 第2の金属シリサイド膜
- 120 白金シリサイド層
- 121 タングステン析出層
- 122 タングステン粒子
- 123 第1のバリヤ絶縁膜
- 124 第2のバリヤ絶縁膜
- 210 第3のキャップ膜
- 211 埋め込み絶縁膜
- 219 第2の金属膜
- 220、221 第2の金属シリサイド電極層
- 309、310 エレベテッドソース及びエレベテッドドレイン領域
- 315 第4のキャップ膜
- 317、318 第3の金属シリサイド電極層
- 319 第3の金属膜
- 320、321 第4の金属シリサイド電極層

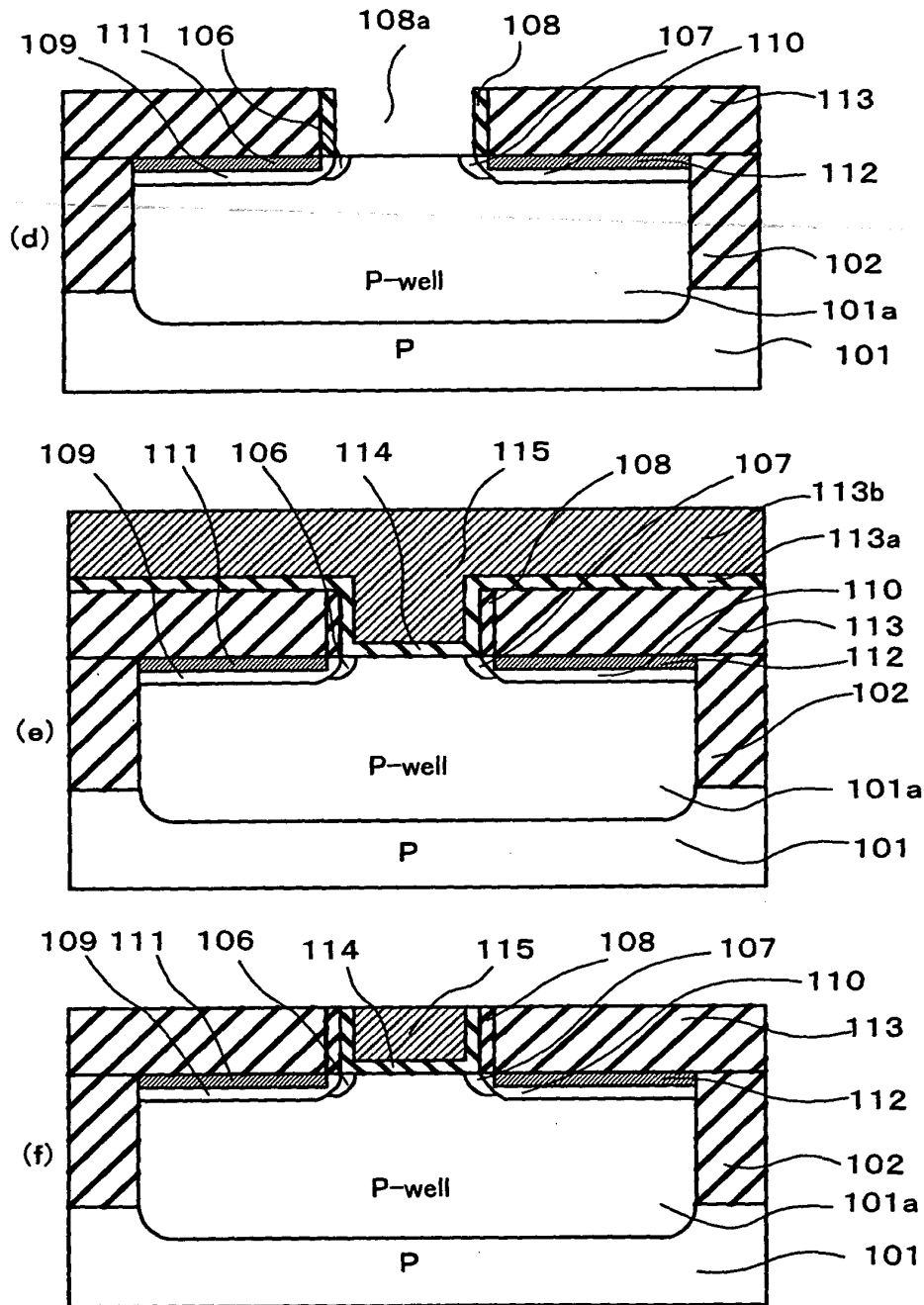
【書類名】 図面

【図1】



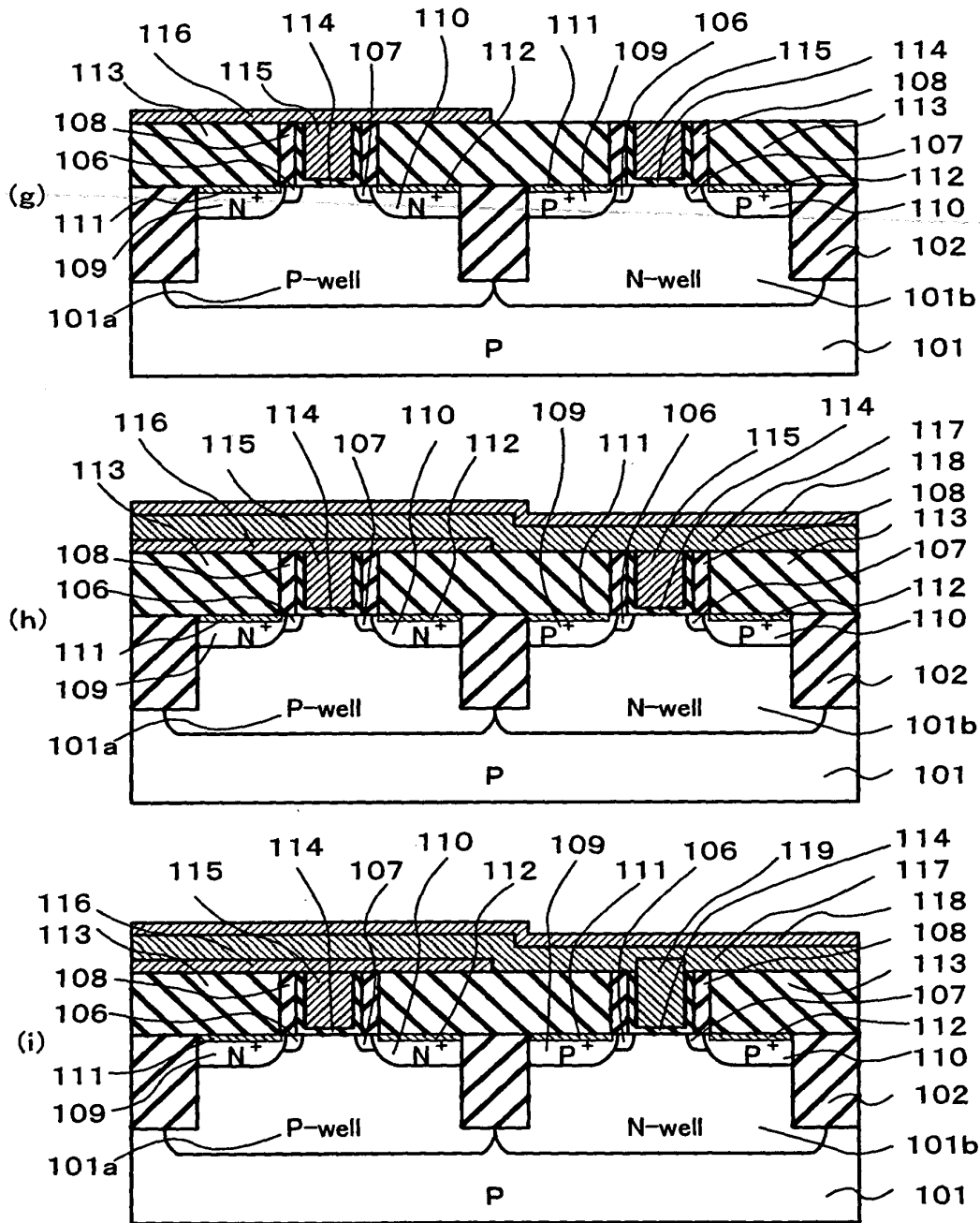
101:シリコン基板 101a:P型ウェル領域 102:素子分離領域
 103:絶縁膜 104:導電膜 105:第1のキャップ膜
 106、107:エクステンション領域 108:側壁絶縁膜
 109、110:ソース及びドレイン領域 111、112:第1の金属シリサイド電極層
 113:層間絶縁膜

【圖 2】



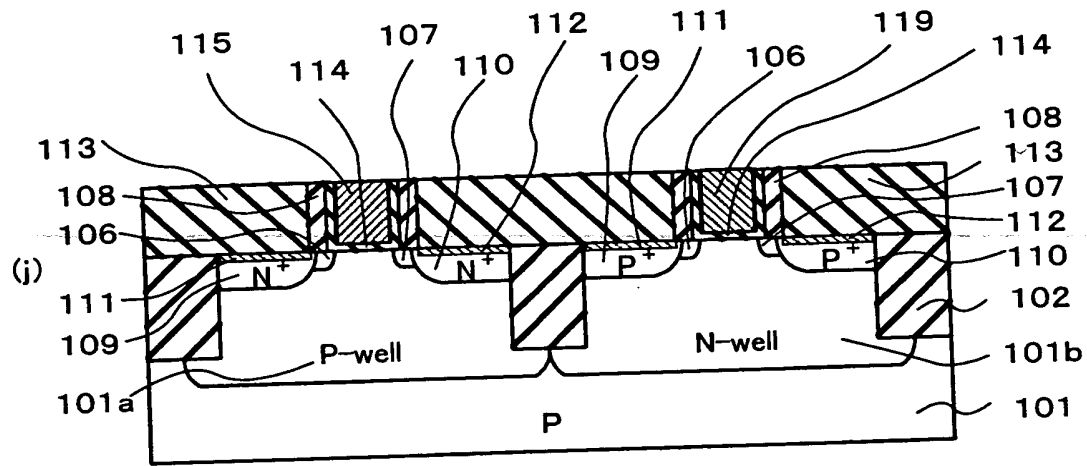
101:シリコン基板 101a:P型ウェル領域 102:素子分離領域
106、107:エクステンション領域 108:側壁絶縁膜 108a:空間領域
109、110:ソース及びドレイン領域
111、112:第1の金属シリサイド電極層 113:層間絶縁膜
113a:ハフニウム酸化膜 113b:タンゲステンシリサイド膜
114:ゲート絶縁膜 115:第1の金属シリサイド膜

【図3】



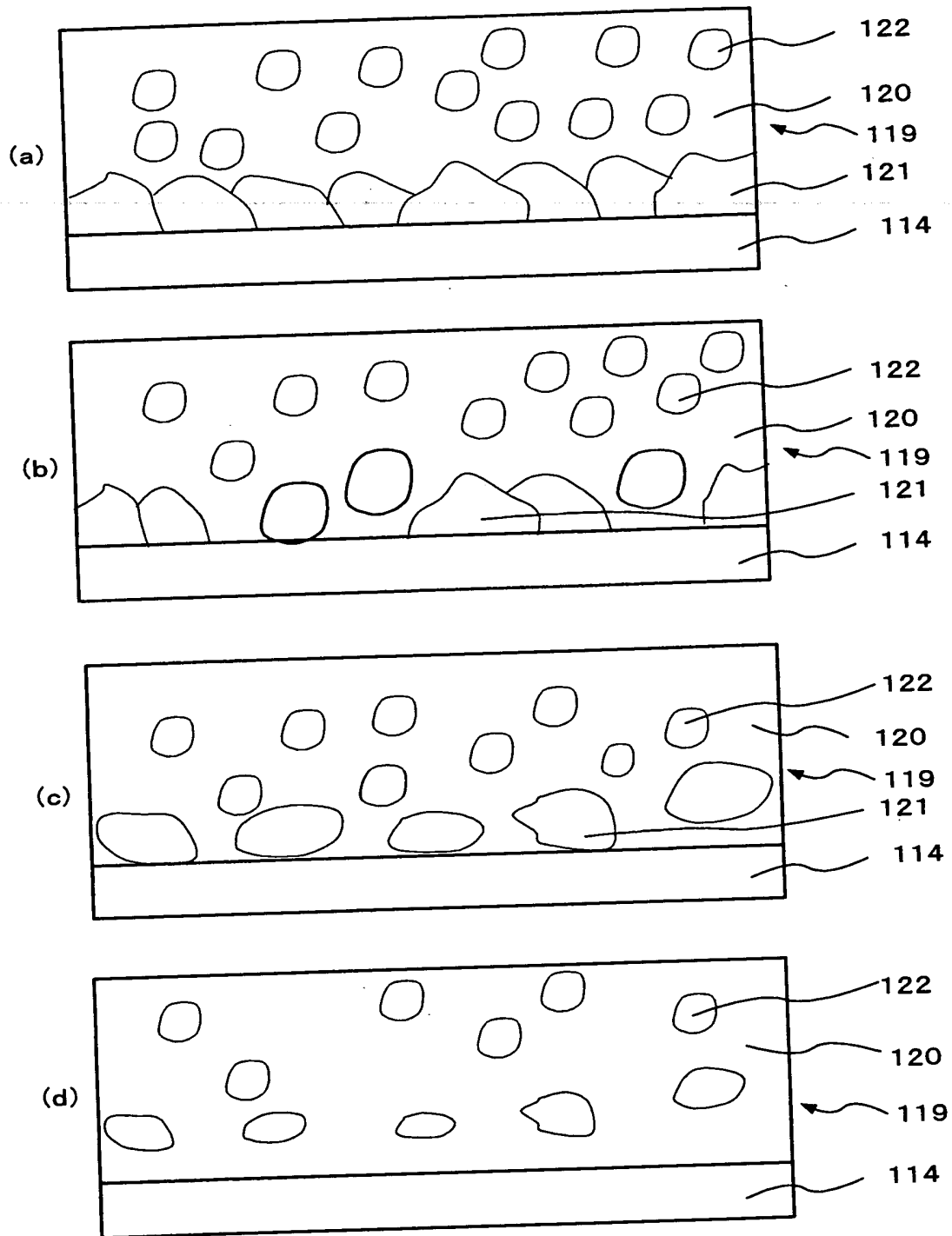
101:シリコン基板 101a:P型ウェル領域 101b:N型ウェル領域
 102:素子分離領域 106, 107:エクステンション領域
 108:側壁絶縁膜 109, 110:ソース及びドレイン領域
 111, 112:第1の金属シリサイド電極層 113:層間絶縁膜
 114:ゲート絶縁膜 115:第1の金属シリサイド膜 116:バリヤ金属膜
 117:第1の金属膜 118:第2のキャップ膜 119:第2の金属シリサイド膜

【図4】



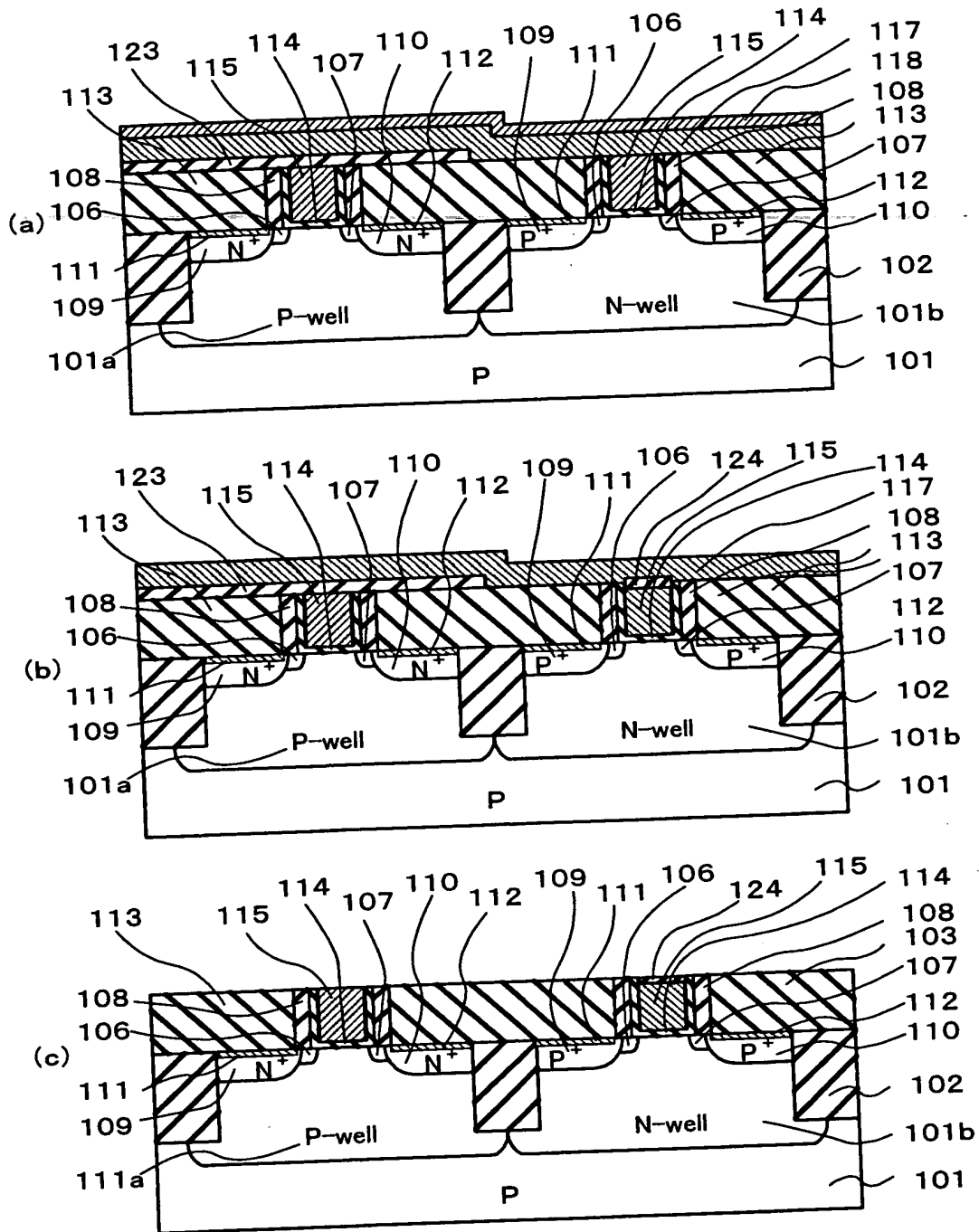
- 101:シリコン基板 101a:P型ウェル領域 101b:N型ウェル領域
 102:素子分離領域 106, 107:エクステンション領域
 108:側壁絶縁膜 109, 110:ソース及びドレイン領域
 111, 112:第1の金属シリサイド電極層 113:層間絶縁膜
 114:ゲート絶縁膜 115:第1の金属シリサイド膜
 119:第2の金属シリサイド膜

【図5】



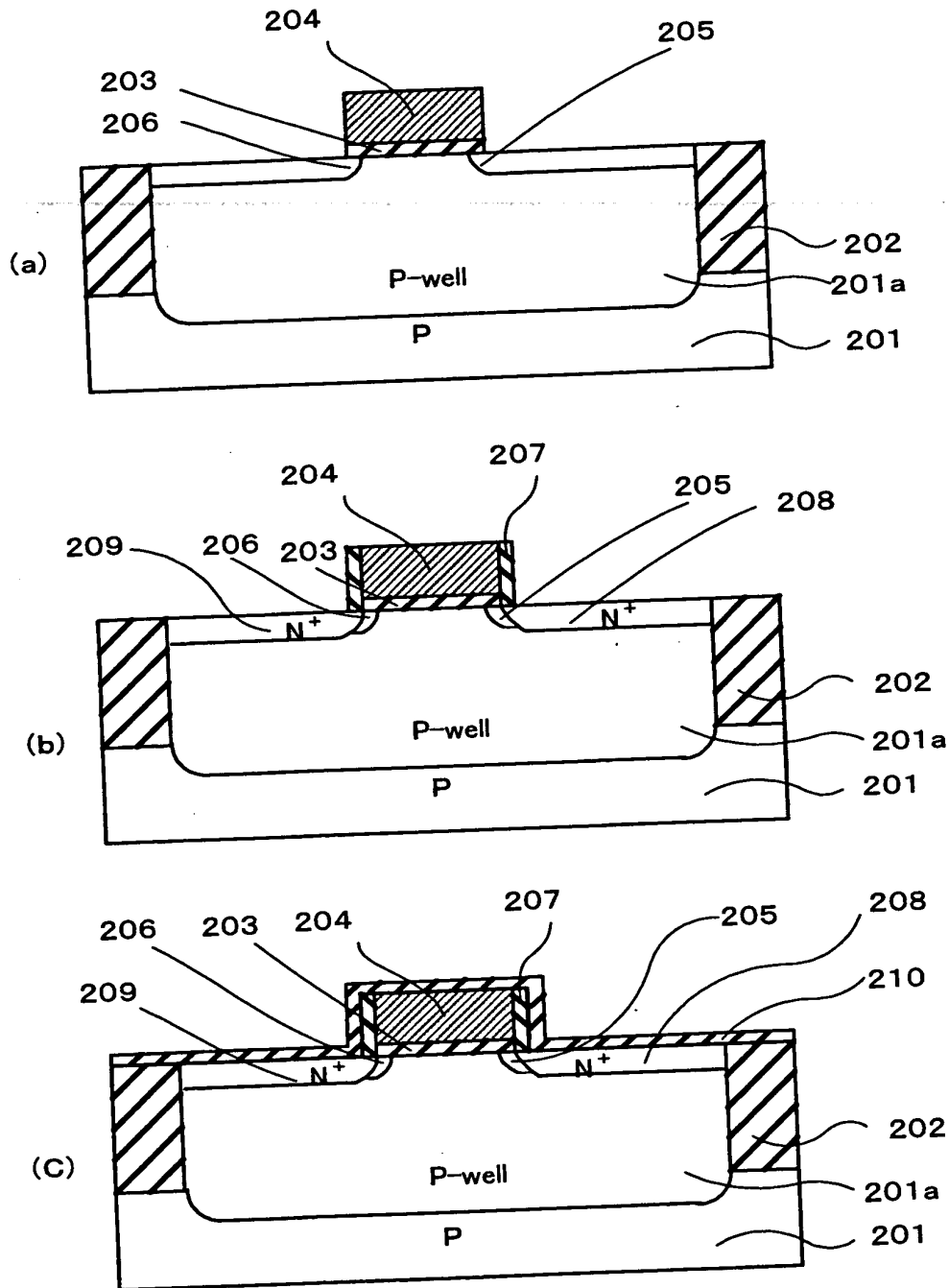
114:ゲート絶縁膜 119:第2の金属シリサイド膜
 120:白金シリサイド層 121:タングステン析出層
 122:タングステン粒子

【図6】



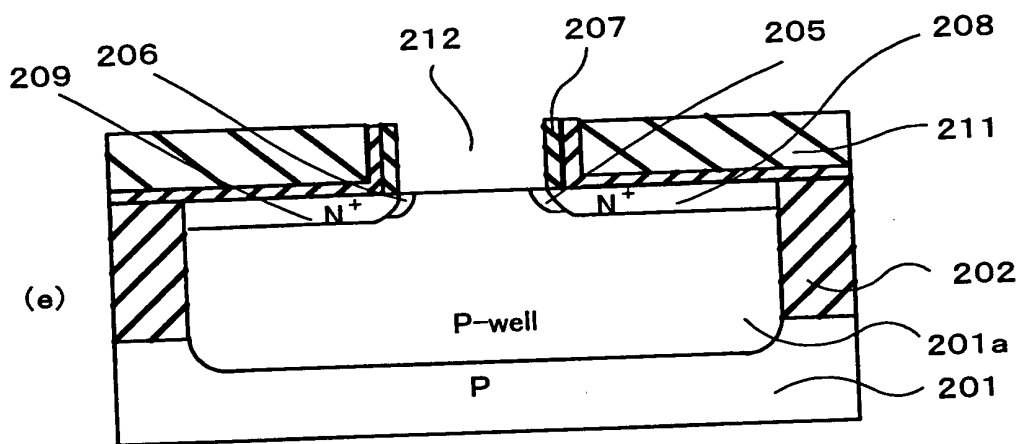
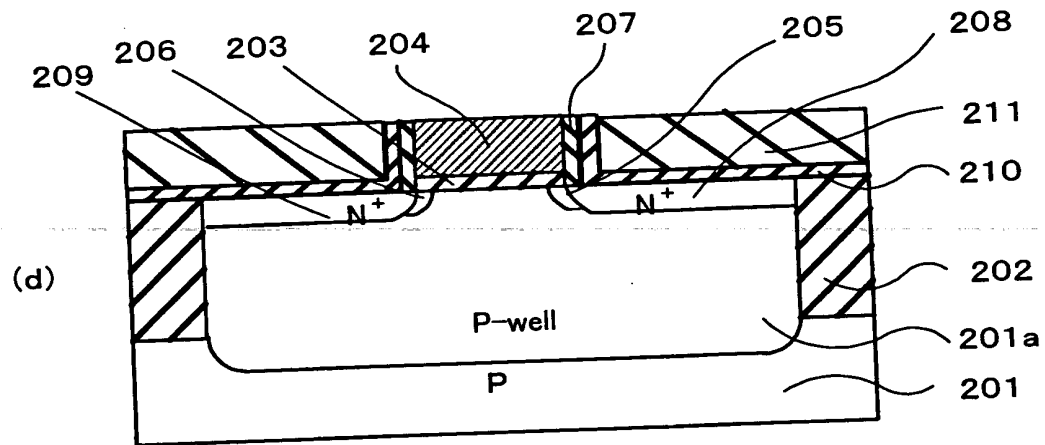
101:シリコン基板 101a:P型ウェル領域 101b:N型ウェル領域
 102:素子分離領域 106、107:エクステンション領域 108:側壁絶縁膜
 111、112:ソース及びドレイン領域
 111、112:第1の金属シリサイド電極層 113:層間絶縁膜
 114:ゲート絶縁膜 115:第1の金属シリサイド膜
 117:第1の金属膜 118:第2のキャップ膜 119:第2の金属シリサイド膜
 123:第1のバリア絶縁膜 124:第2のバリア絶縁膜

【図 7】



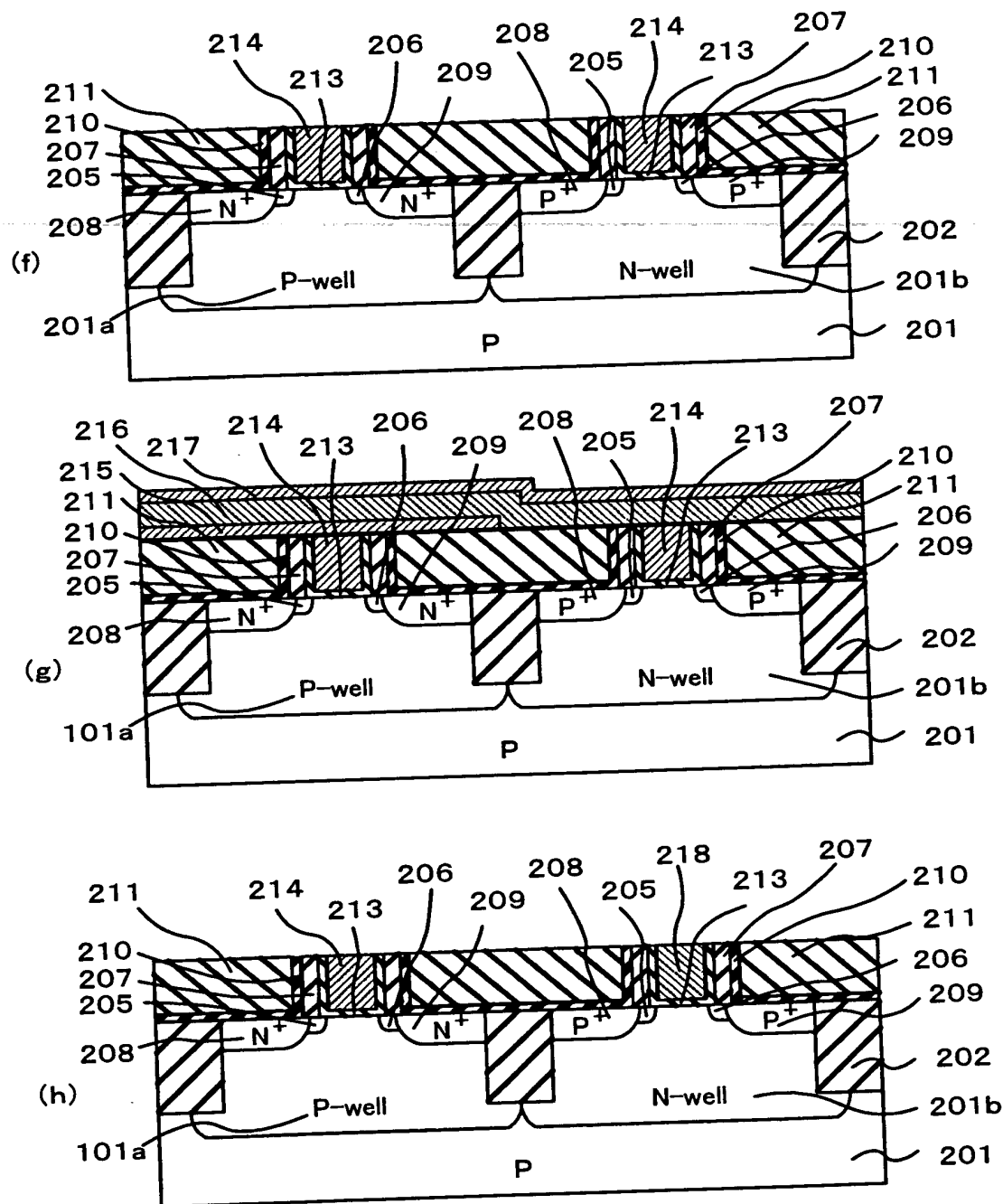
201:シリコン基板 201a:P型ウェル領域 202:素子分離領域
 203:絶縁膜 204:導電膜
 205、206:エクステンション領域
 207:側壁絶縁膜 208、209:ソース及びドレイン領域
 210:第3のキャップ膜

【図8】



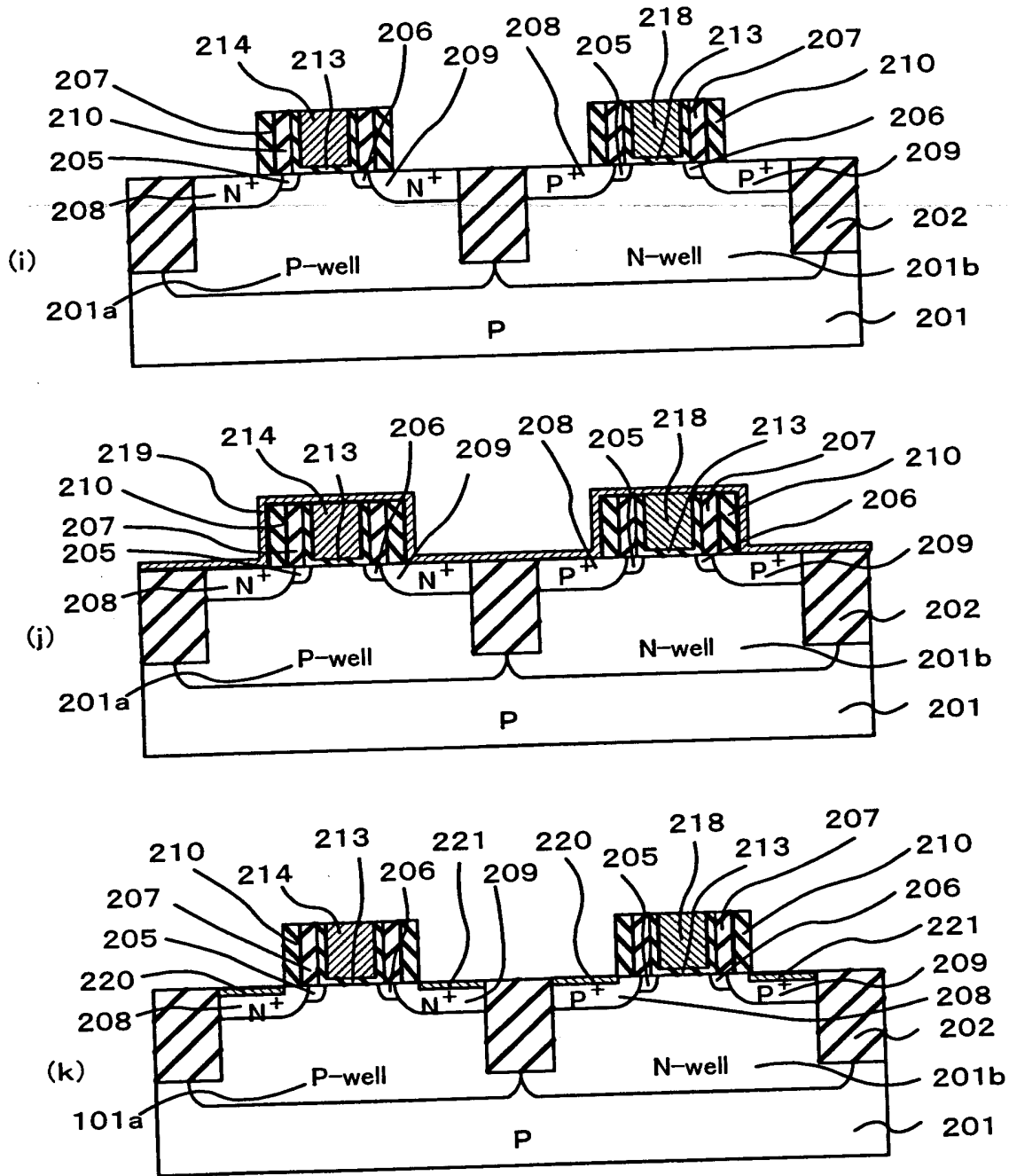
201:シリコン基板 201a:P型ウェル領域 202:素子分離領域
 203:絶縁膜 204:導電膜
 205、206:エクステンション領域
 207:側壁絶縁膜 208、209:ソース及びドレイン領域
 210:第3のキャップ膜 211:埋め込み絶縁膜 212:空間領域

【图9】



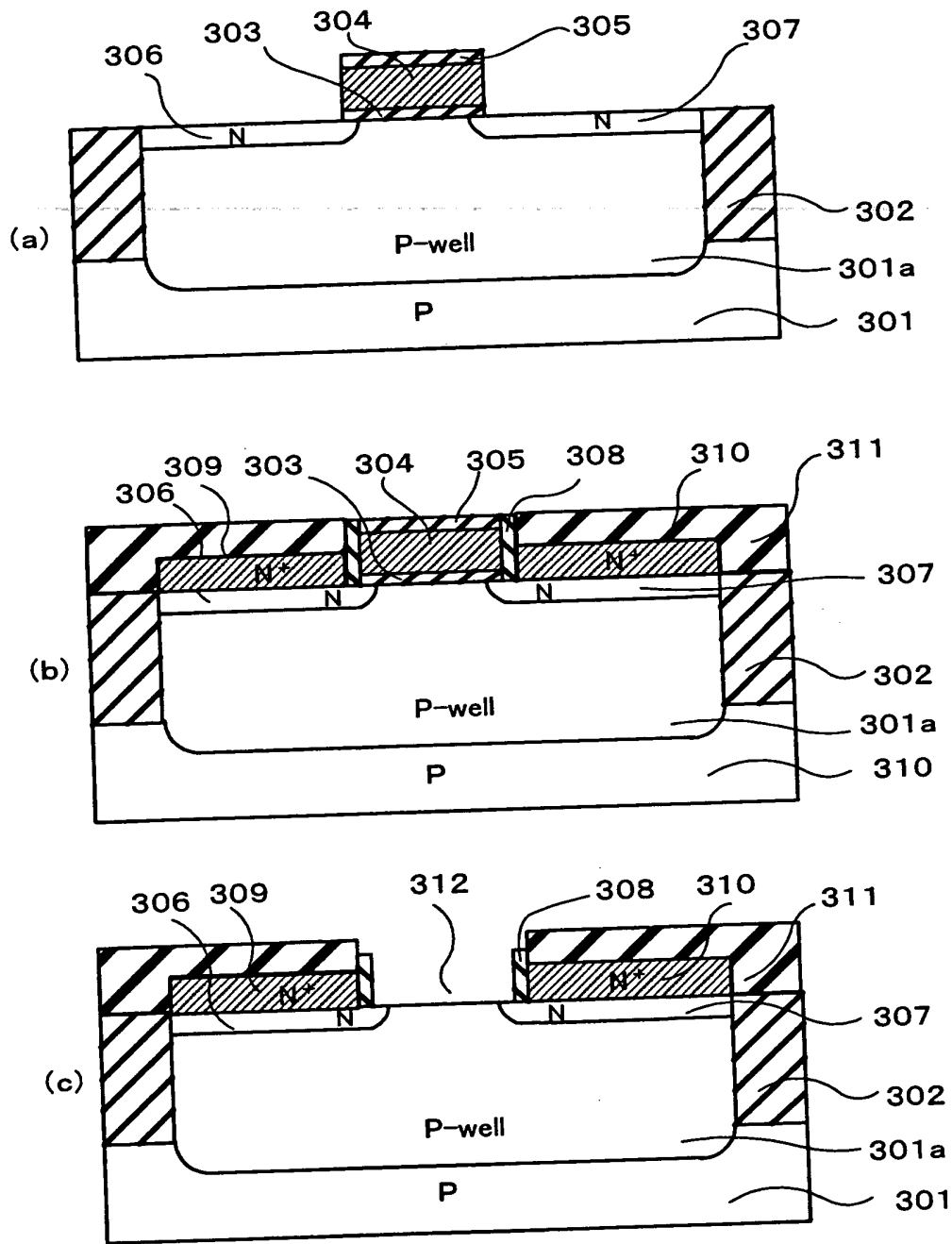
201:シリコン基板 201a:P型ウェル領域 201b:N型ウェル領域
202:素子分離領域 205、206:エクステンション領域
207:側壁絶縁膜 208、209:ソース及びドレイン領域
210:第3のキャップ膜 211:埋め込み絶縁膜 213:ゲート絶縁膜
214:第1の金属シリサイド膜 215:バリア金属膜
216:第1の金属膜 217:第2のキャップ膜 218:第2の金属シリサイド膜

【図10】



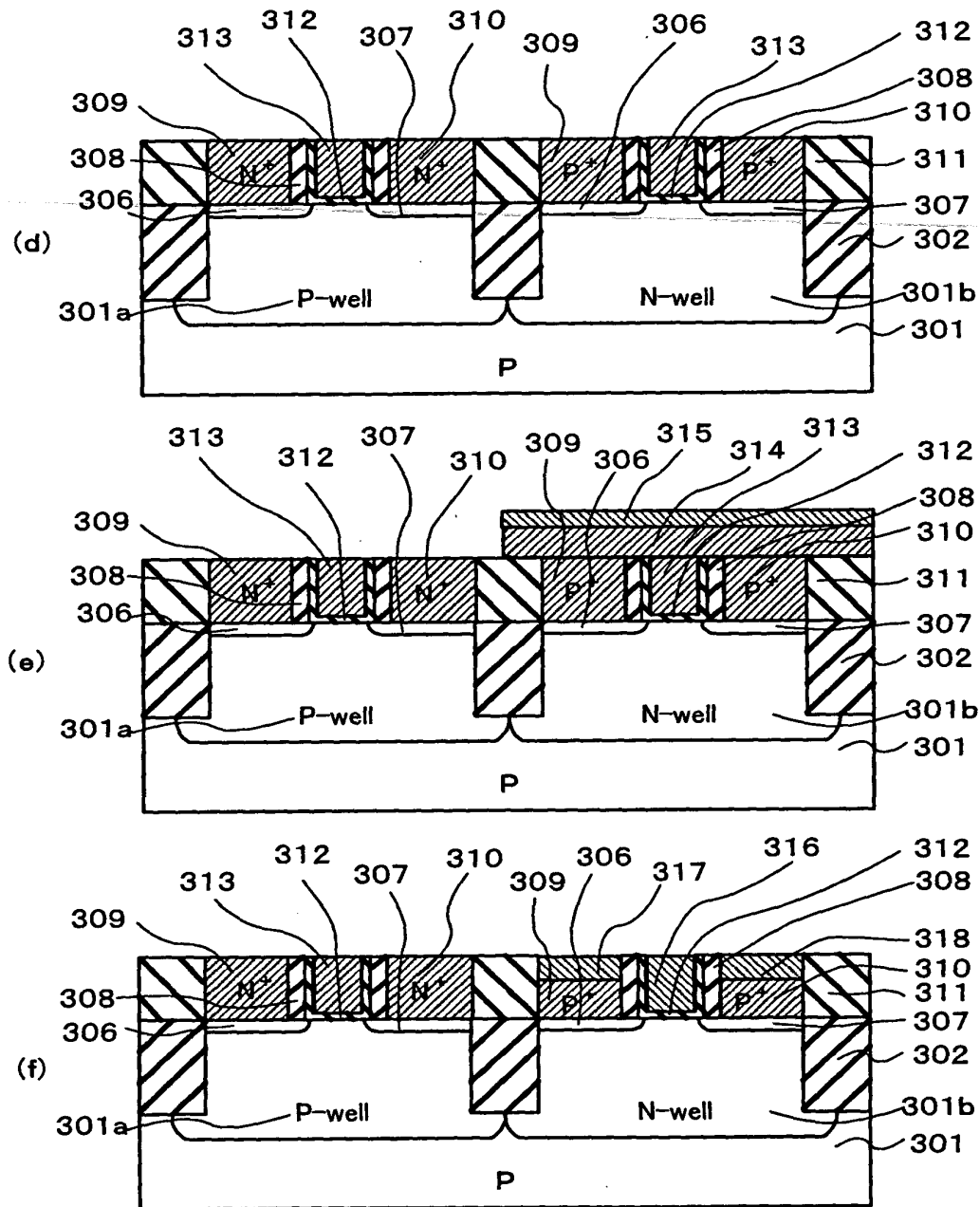
201:シリコン基板 201a:P型ウェル領域 201b:N型ウェル領域
 202:素子分離領域 205、206:エクステンション領域
 207:側壁絶縁膜 208、209:ソース及びドレイン領域
 210:第3のキャップ膜 213:ゲート絶縁膜
 214:第1の金属シリサイド膜 218:第2の金属シリサイド膜
 219:第2の金属膜 220、221:第2の金属シリサイド電極層

【図11】



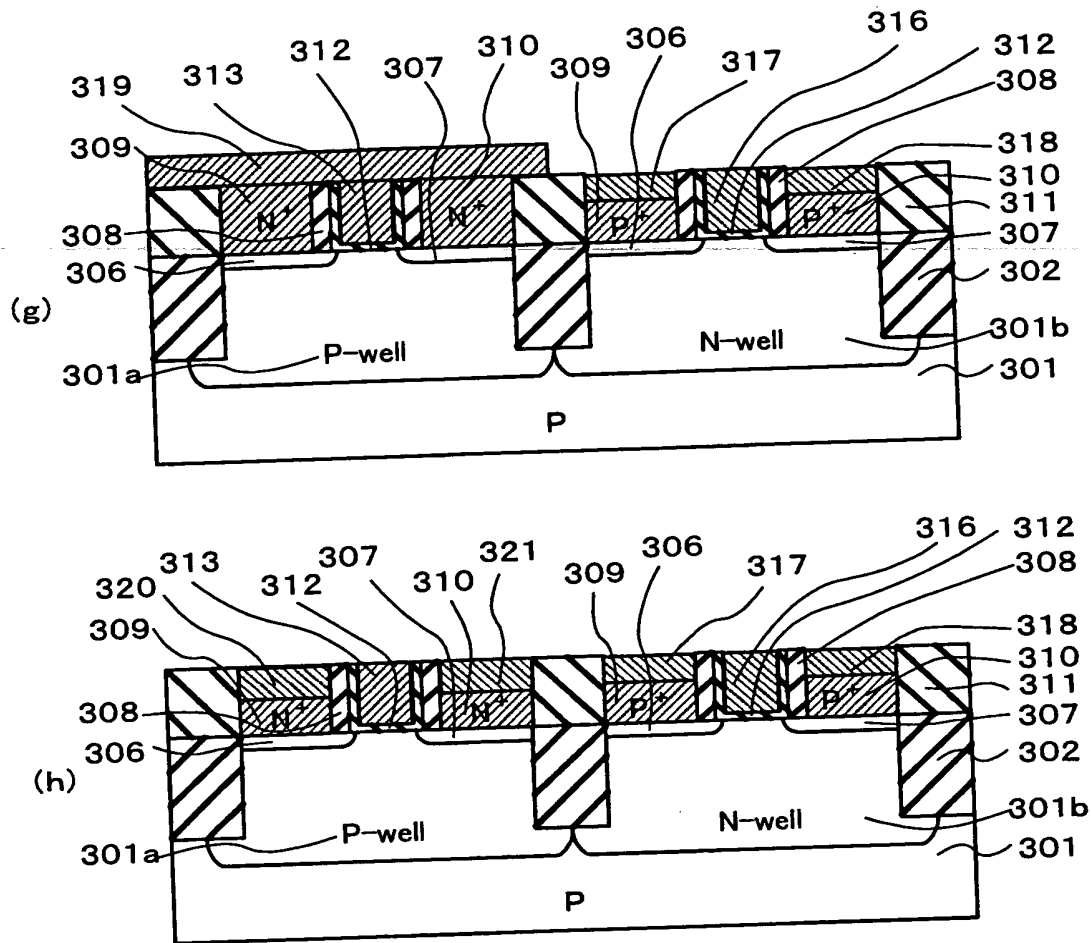
301:シリコン基板 301a:P型ウェル領域 302:素子分離領域
 303:絶縁膜 304:導電膜 305:第1のキャップ膜
 306, 307:エクステンション領域 308:側壁絶縁膜
 309, 310:エレベータッドソース及びエレベータッドドレイン領域
 311:層間絶縁膜 308a:空間領域

【図12】



301:シリコン基板 301a:P型ウェル領域 301b:N型ウェル領域
 302:素子分離領域 306、307:エクステンション領域 308:側壁絶縁膜
 309、310:エレベータッドソース及びエレベータッドドレーン領域
 311:層間絶縁膜 312:ゲート絶縁膜 313:第1の金属シリサイド膜
 314:第1の金属膜 315:第4のキャップ膜 316:第2の金属シリサイド膜
 317、318:第3の金属シリサイド電極層

【図13】



301:シリコン基板 301a:P型ウェル領域 301b:N型ウェル領域
 302:素子分離領域 306、307:エクステンション領域
 308:側壁絶縁膜
 309、310:エレベータッドソース及びエレベータッドドレイン領域
 311:層間絶縁膜 312:ゲート絶縁膜 313:第1の金属シリサイド膜
 316:第2の金属シリサイド膜
 317、318:第3の金属シリサイド電極層
 319:第3の金属膜
 320、321:第4の金属シリサイド電極層

【書類名】 要約書

【要約】

【課題】 しきい値電圧の制御が容易で、かつ、ゲート絶縁膜の信頼性が優れたゲート構造を備えた絶縁ゲート型MISFETを含む半導体装置とその製造方法を提供することにある。

【解決手段】 NチャネルMISFET領域とPチャネルMISFET領域とを形成し、NチャネルMISFETのゲート電極として第1の金属シリサイド膜115を、PチャネルMISFETのゲート電極として第2の金属シリサイド膜119をもつ構造とする。

まず、第1の金属シリサイド膜115をゲート電極領域に形成した後、PチャネルMISFET領域に第1の金属膜117を形成する。続いて熱処理を行うと、PチャネルMISFETのゲート電極上に形成された第1の金属膜117がその下の第1の金属シリサイド膜115と固相反応を起し、PチャネルMISFETのゲート電極は第2の金属シリサイド膜119に変換される。

【選択図】 図3

認定・付加情報

特許出願の番号

特願 2002-322094

受付番号

50201673322

書類名

特許願

担当官

第五担当上席

0094

作成日

平成14年11月 7日

<認定情報・付加情報>

【提出日】

平成14年11月 6日

次頁無

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝